

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

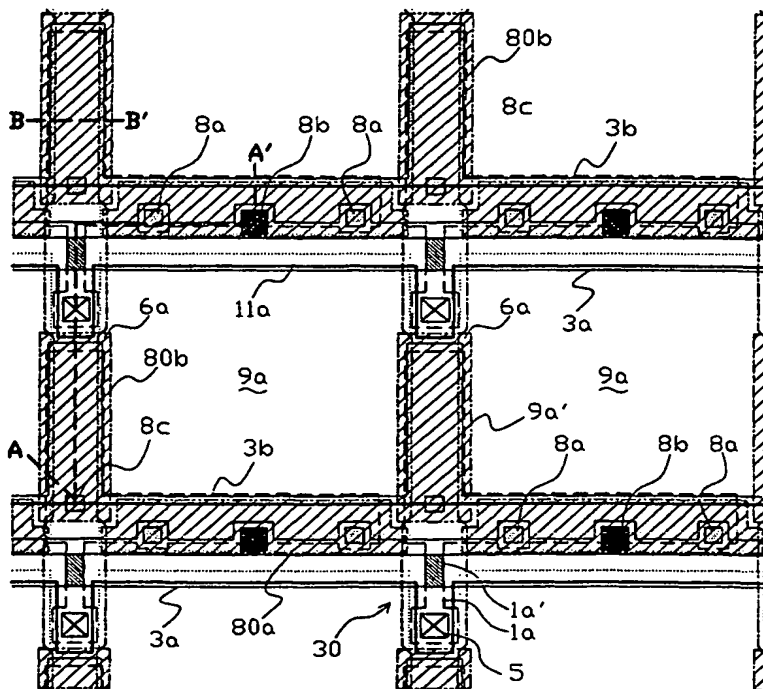
<p>(51) 国際特許分類7 G02F 1/1368</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/39634</p> <p>(43) 国際公開日 2000年7月6日(06.07.00)</p>
<p>(21) 国際出願番号 PCT/JP99/07382</p> <p>(22) 国際出願日 1999年12月27日(27.12.99)</p> <p>(30) 優先権データ 特願平10/373588 1998年12月28日(28.12.98) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてののみ) 村出正夫(MURADE, Masao)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 鈴木喜三郎, 外(SUZUKI, Kisaburo et al.) 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社 知的財産部内 Nagano, (JP)</p>		<p>(81) 指定国 CN, JP, KR, US</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: ELECTROOPTIC DEVICE, METHOD OF MANUFACTURE THEREOF, AND ELECTRONIC DEVICE

(54)発明の名称 電気光学装置及びその製造方法並びに電子機器

(57) Abstract

An active matrix TFT electrooptic device has a comparatively simple structure, in which pixel electrodes and a semiconductor layer are connected through conductors while increasing the aperture ratio and image quality. The electrooptic device includes a TFT array substrate (10) on which TFTs (30), data lines (6a), scanning lines (3a), capacitor lines (3b) and pixel electrodes (9a) are formed. The pixel electrodes and TFTs are electrically connected through a first barrier layer (80a) and contact holes (8a, 8b). A second barrier layer (80b), wider than the data lines, overlaps the pixel electrodes and defines the pixel aperture areas.



(57)要約

TFTアクティブマトリクス駆動方式の電気光学装置において、比較的簡単な構成で、画素電極と半導体層とを中継しつつ画素開口率を高め、高品位の画像表示を可能にするために、電気光学装置は、TFTアレイ基板(10)上にTFT(30)、データ線(6a)、走査線(3a)、容量線(3b)及び画素電極(9a)を備える。画素電極及びTFT間は、第1バリア層(80a)を中継してコンタクトホール(8a)及びコンタクトホール(8b)により電氣的に接続される。第2バリア層(80b)は、データ線よりも幅広に設けられており、その一部が画素電極に重なって、画素開口領域を規定する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LV	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LA	ラオス	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボワール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ヴェトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノールウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明細書

電気光学装置及びその製造方法並びに電子機器

技術分野

- 5 本発明は、電気光学装置及びその製造方法の技術分野に属し、特に画素電極と画素スイッチング用の薄膜トランジスタ（Thin Film Transistor:以下適宜、T F Tと称す）との間で電氣的な導通を良好にとるための中継用の導電層を備える電気光学装置及びその製造方法並びに電子機器の技術分野に属する。

10 背景技術

- 従来この種の電気光学装置は、一対の基板間に液晶等の電気光学物質が挟持されてなり、一方の基板の一例であるT F Tアレイ基板には、マトリクス状に複数の画素電極が設けられ、他方の基板の一例である対向基板には、各画素における画素開口領域（即ち、各画素における電気光学物質部分を光が通過する領域）を規定するために、遮光膜が画素電極の間隙に対応して格子状に設けられるのが一般的である。この場合、各画素電極の周りで光漏れにより表示画像におけるコントラスト比が低下しないようにするため、平面的に見て各画素電極に格子状の遮光膜が若干重なるように構成されている。この際特に、対向基板側に設けられた遮光膜は、画素電極から電気光学物質等を介して比較的離れているために、斜めに入射する光や両基板の貼り合わせずれを考慮して、上述の如き画素電極と遮光膜とは、かなりのマージンで重ねる必要がある。これは、画素開口率（即ち、各画素における画素開口領域が占める率）を高める際の大きな障壁となる。
- 15 20

- そこで最近では、明るい画像表示を行うという一般的な要請の下、各画素における画素開口率を高めるために、対向基板側の遮光膜だけで画素開口領域を規定するのではなく、データ線をA l（アルミニウム）等の遮光性材料から画素電極の縦方向の隙間を覆うように幅広に形成することにより、各画素開口領域を部分的に規定する技術も一般化している。この技術によれば、データ線によって画素開口領域を部分的に規定するようにしたので、画素開口率を高めることができる。
- 25

他方、この種の電気光学装置においては、各画素電極と、例えば各画素に設け

られたTFT等のスイッチング素子とは、相互に接続される必要があるが、両者間には、走査線、容量線、データ線等の配線及びこれらを相互に電氣的に絶縁するための複数の層間絶縁膜を含む、例えば1000nm（ナノメートル）程度又はそれ以上に厚い積層構造が存在するため、両者間を電氣的に接続するためのコンタクトホールを開孔するのが困難となる。

この種の電気光学装置における表示画像の高品位化という一般的な要請の下では、画素ピッチの微細化、画素開口率の向上、画素電極への画像信号の安定供給等が重要となる。

しかしながら、前述したデータ線で画素開口領域を部分的に規定する技術によれば、データ線と画素電極とが層間絶縁膜を介して部分的に重なっているため、各画素に設けられたTFTについて考えれば、上述したデータ線と画素電極との重なりに応じてソースとドレインとの間に寄生容量が生じてしまう。ここで一般に、データ線を介して画像信号が供給されるTFTは、1フレーム期間に亘って画像信号に応じた一定電位を画素電極に保持させるようにスイッチング動作するが、この期間中にデータ線は、他行のTFTに供給される画像信号の電位に頻繁に振れるので、上述のソースとドレインとの間の寄生容量により、TFTが異常動作して画素電極に保持させるべき電圧がリークしてしまう。この結果、画素電極への画像信号の供給が不安定となり、最終的には表示画像の劣化を招くという問題点がある。

一方、この種の電気光学装置における装置構成の単純化や低コスト化という一般的な要請の下では、何らかの機能を付加或いは向上させる際にも、積層構造中の導電層や絶縁膜の数をむやみに増加させないこと、或いは一つの膜を複数機能を果たすために有効利用することが重要となる。

本発明は上述の問題点に鑑みなされたものであり、比較的簡単な構成を有しており、画素開口率が高く、高品位の画像表示が可能な電気光学装置及びその製造方法を提供することを課題とする。

発明の開示

本発明の電気光学装置は上記課題を解決するために、基板に、複数の走査線と、

複数のデータ線と、前記各走査線及び前記各データ線の交差に対応して配置された薄膜トランジスタと画素電極と、前記薄膜トランジスタのソース及びドレイン領域を構成する半導体層と前記画素電極との間に介在し、前記半導体層と電氣的に接続され且つ前記画素電極と電氣的に接続された遮光性の第1導電層と、前記
5 第1導電層と同一膜からなり、平面的に見て前記データ線に少なくとも部分的に重なっている第2導電層とを備える。

本発明の電気光学装置の構成によれば、第1導電層は、半導体層と画素電極との間に介在しており、一方で半導体層と電氣的に接続されており、他方で、画素電極と電氣的に接続されている。従って、第1導電層は、画素電極と半導体層の
10 ドレイン領域とを電氣的に接続するための中継用の導電層として機能し、例えば、両者間を一つのコンタクトホールを介して直接接続する場合の困難性を回避することが可能となる。

また、第2導電層は平面的に見て前記データ線に少なくとも部分的に重なっているため、データ線に加えて第2導電層により各画素の遮光を冗長させることが
15 可能となる。

本発明の電気光学装置の一の態様において、前記第2導電層は平面的に見て少なくとも部分的に前記画素電極に重なっている。

この構成によれば、平面的に見て少なくとも部分的に隣接する画素電極の間に形成される第2導電層は、特に画素電極に重なっている。このため、この画素電
20 極と部分的に重なった第2導電層部分により、各画素における画素開口領域を少なくとも部分的に規定できる。この際特に、第2導電層により画素開口領域が規定された個所では、平面的に見て画素電極と第2導電層との間に隙間はないため、そのような隙間を介しての光漏れは起こらない。この結果、最終的には、コントラスト比が高められる。同時に、第2導電層により画素開口領域が規定された個
25 所では、従来のようにデータ線で画素開口領域を規定する必要はないため、データ線と画素電極とを重ねる必要もなくなる。この結果、データ線と画素電極とが層間絶縁膜を介して重なる構造により、各画素における薄膜トランジスタのソースとドレインとの間の寄生容量を発生させないで済む。このため、1フレーム等の所定周期内に他行の薄膜トランジスタに供給される画像信号の電位に頻繁に振

れるデータ線の当該電位揺れに起因して、上述のソースとドレインとの間の寄生容量により薄膜トランジスタが異常動作して、画素電極に保持させるべき電圧がリークする事態を未然に防げる。即ち、画像信号に応じた一定電位を画素電極に保持させるように薄膜トランジスタはスイッチング動作し、データ線及び薄膜トランジスタを介して画素電極へ画像信号を安定供給でき、最終的には、フリッカやラインムラの低減により表示画像の高品位化が可能となる。

更に、第1導電層に、薄膜トランジスタと画素電極とを中継する機能を持たせると共に、この第1導電層と同一膜からなる第2導電層に、画像信号の安定供給を可能ならしめつつ画素開口領域を規定する機能を持たせているので、全体として、積層構造及び製造プロセスの単純化並びに低コスト化を図れる。

本発明の電気光学装置の他の態様において、前記第1導電層は、前記半導体層と第1コンタクトホールを介して電氣的に接続され且つ前記画素電極と第2コンタクトホールを介して電氣的に接続される。

この構成によれば、画素電極から半導体層のドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホールの径を小さくできる。即ち、一般にコンタクトホールを深く開孔する程、エッチング精度は落ちるため、薄い半導体層における突き抜けを防止するために、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウエットエッチングで半導体層まで開孔するように工程を組まねばならないので、指向性のないウエットエッチングによりコンタクトホールの径が広がらざるを得ないのである。これに対して本態様では、画素電極と半導体層間を2つの直列な第1及び第2コンタクトホールにより接続すればよいので、各コンタクトホールをドライエッチングにより開孔することが可能となるか、或いは少なくともウエットエッチングにより開孔する距離を短くすることが可能となる。この結果、各コンタクトホールの径を夫々小さくでき、第1又は第2コンタクトホールの上方に位置する画素電極部分における平坦化が促進される。

本発明の電気光学装置の他の態様によれば、前記データ線は、前記半導体層と第3コンタクトホールを介して電氣的に接続される。

この構成によれば、データ線と半導体層のソース領域との電氣的な接続が第3

コンタクトホールを介して良好に得られる。

本発明の電気光学装置の他の態様によれば、前記データ線は、平面的に見て前記画素電極に少なくとも部分的に重ならない。

この構成によれば、データ線と画素電極とはできるだけ重ならないように形成
5 することで、データ線と画素電極とを重ねるようにした場合と比較して、データ線と画素電極との間における寄生容量を確実に低減できる。従って、特に画素電極における電圧が安定してフリッカやラインムラを低減できる。

更に、データ線と画素電極とが層間絶縁膜を介して重なった個所において発生
10 する可能性が高い両者間の電氣的ショート（短絡）等の欠陥の発生を抑えることができ、最終的には装置欠陥率の低下、製造時の歩留まり向上が図られる。

本発明の電気光学装置の他の態様によれば、前記第2導電層は、定電位線に電氣的に接続されている。

この構成によれば、少なくとも部分的に重なっている画素電極と第2導電層との間には、多少の寄生容量が付くが、第2導電層の電位が定電位に保たれている。
15 このため、画素電極と第2導電層との間の寄生容量を介して、第2導電層の電位変動が画素電極の電位に及ぼす悪影響を低減でき、画素電極における電圧がより安定してフリッカやラインムラを更に低減できる。

本発明の電気光学装置の他の態様によれば、前記半導体層のうち少なくともチャネル領域の前記基板側に下地絶縁膜を介して形成された遮光膜を更に備える。

この構成によれば、半導体層のうち少なくともチャネル領域の基板側に下地絶縁膜を介して形成された遮光膜により、TFTアレイ基板側からの光に対するチャネル領域の遮光を行うことができる。このため、当該電気光学装置の動作時において、投射光、裏面反射光、反射光等の薄膜トランジスタへの光照射に起因して発生する、チャネル領域における光リークを低減し、薄膜トランジスタの特性
25 変化や劣化を低減しつつ高品位の画像表示が可能となる。

本発明の電気光学装置の他の態様によれば、前記第1導電層及び前記第2導電層は、高融点金属を含む。

この構成によれば、第1導電層及び第2導電層は、例えば、Ti（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）

及びPb（鉛）のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等からなる。このため、製造プロセスにおいて第1導電層及び第2導電層形成後に行われる各種工程における高温処理で当該第1導電層及び第2導電層が変形したり破壊したりすることはない。

- 5 本発明の電気光学装置の他の態様によれば、前記第2導電層と前記データ線とは、層間絶縁膜を介して少なくとも部分的に対向配置される。

- この構成によれば、保持すべき画像信号に応じて電位が変動する画素電極との間ではなく、電位がより安定した第2導電層との間で、データ線に容量が付加されるので、データ線の電位揺れを招かないようにしつつ適度に増加させることが可能となる。特に画素ピッチを微細化して、これに伴いデータ線幅を微細化しても、第2導電層との間の容量を増加させることにより、データ線の容量不足を抑えることができ、当該データ線を介しての画像信号の画素電極への供給における書き込み能力不足を阻止できる。
- 10

- 本発明の電気光学装置の他の態様によれば、前記画素電極に接続された蓄積容量を更に備える。
- 15

この構成によれば、蓄積容量により、画素電極における画像信号の電圧保持時間を遙か長くすることができ、コントラスト比を非常に効率良く高められる。

この態様では、前記第1導電層及び第2導電層は、前記走査線及び前記蓄積容量の一方の電極上に絶縁膜を介して設けられてもよい。

- 20 この構成によれば、走査線及び蓄積容量の一方の電極上に絶縁膜を介して設けられた第1導電層により、画素電極と半導体層とを中継可能であり、走査線及び蓄積容量の一方の電極上に絶縁膜を介して設けられた第2導電層により、画素開口領域を規定可能であり、更に第2導電層と蓄積容量の一方の電極との間で容量を簡単に構成可能となる。

- 25 この蓄積容量を更に備えた態様では、前記半導体層の一部からなる第1蓄積容量電極と前記蓄積容量の一方の電極である第2蓄積容量電極とが第1誘電体膜を介して対向配置され、前記第2蓄積容量電極と前記第1導電層の一部からなる第3蓄積容量電極とが前記絶縁膜である第2誘電体膜を介して対向配置されて前記蓄積容量が形成されてもよい。

この構成によれば、半導体層の一部からなる第1蓄積容量電極と蓄積容量の一方の電極である第2蓄積容量電極とが第1誘電体膜を介して対向配置され、第1の蓄積容量が構成され、他方で、第2蓄積容量電極と第1導電層の一部からなる第3蓄積容量電極とが第2誘電体膜を介して対向配置されて第2の蓄積容量が構成される。そして、これら第1及び第2の蓄積容量から各画素電極に蓄積容量が形成されるので、非画素開口領域を有効利用して、しかも立体的な構造を利用して比較的大容量の蓄積容量を構築できる。

この蓄積容量を更に備えた態様では、前記第2導電層は、前記第2蓄積容量電極に接続されてもよい。

10 この構成によれば、少なくとも部分的に重なっている画素電極と第2導電層との間には、多少の寄生容量が付くが、第2導電層の電位が第2蓄積容量電極の電位に保たれる。

このように第2導電層を第2蓄積容量電極に接続する場合には、前記第2導電層は、第4コンタクトホールを介して前記第2蓄積容量電極に接続されており、
15 前記第4コンタクトホールは、前記第1コンタクトホールを開孔する工程と同一工程により開孔されてもよい。

この構成によれば、比較的容易に第2導電層を第2蓄積容量電極に接続でき、しかも、第1コンタクトホールを開孔すると同時に第4コンタクトホールを開孔するので、製造プロセスの単純化に役立つ。

20 この第2蓄積容量電極は延設されて容量線としてもよい。

この構成によれば、容量線は、定電位とされるか、或いは少なくとも大容量でありその電位変動は小さい。このため、画素電極と第2導電層との間の寄生容量を介して、第2導電層の電位変動が画素電極の電位に及ぼす悪影響を低減できる。

この第2蓄積容量電極は遮光膜と接続されていても良い。

25 この構成によれば、第2蓄積容量電極及び遮光膜の電位を同一にでき、第2蓄積容量電極及び遮光膜のいずれか一方を所定電位とする構成を採れば、他方の電位も所定電位とできる。この結果、第2蓄積容量電極や遮光膜における電位揺れによる悪影響を低減できる。また、遮光膜からなる配線と容量線とを相互に冗長配線として機能させることができる。

この遮光膜は容量線を兼ね、前記第2蓄積容量電極は、前記基板上における平面形状が相隣接するデータ線間を前記走査線に沿って伸び、各画素電極毎に島状に構成されているとともに、前記遮光膜に接続されていてもよい。

この構成によれば、第2蓄積容量電極を画素電極毎に島状に構成することができ、
5 画素開口率を向上させることができる。また、第2蓄積容量も配線とすれば、遮光膜とともに容量線の冗長配線にすることができる。

さらに、前記遮光膜は、前記第4コンタクトホールとは異なる平面位置に開孔された第5コンタクトホールを介して前記容量線に電氣的に接続されてもよい。

この構成によれば、半導体層のうち少なくともチャネル領域の基板側に下地絶縁膜を介して形成された遮光膜により、基板側からの光に対するチャネル領域の遮光を行うことができる。しかも、遮光膜は、導電性であり、第5コンタクトホールを介して容量線に接続されているので、遮光膜を容量線の冗長配線として機能させることが可能となり、容量線の低抵抗化を図ることにより容量線の電位をより安定化させることにより、最終的には、表示画像の高品位化を図れる。また、
10 第4コンタクトホールと第5コンタクトホールは、異なる平面位置に形成することにより、第4コンタクトホール及び第5コンタクトホールにおける接続不良を防止することができる。

さらに、前記第2導電層と前記遮光膜とは前記第2蓄積容量電極を介して電氣的に接続されてなり、前記第2導電層と前記遮光膜とは隣接する画素電極に接続
20 されていてもよい。

この構成によれば、第2導電層を容量線として利用することができる。また、第2蓄積容量電極を容量線とし、第2導電層と第2蓄積容量電極とを接続することにより、容量線を2重で形成することができ、冗長構造が実現できる。

本発明の電気光学装置の他の態様によれば、前記第1導電層及び前記第2導電層は、前記データ線よりも下層に設けられている。
25

この構成によれば、データ線よりも下層に設けられた第1導電層により、画素電極と半導体層とを中継可能であり、データ線よりも下層に設けられた第2導電層により、画素開口領域を規定可能であり、更に第1導電層と第2蓄積容量電極との間で容量を簡単に構成可能となる。

本発明の電気光学装置の他の態様によれば、前記第2導電層は、平面的に見て島状に設けられており、画素開口領域のうち前記データ線に沿った領域を少なくとも部分的に規定する。

5 この構成によれば、平面的に見て島状に設けられた第2導電層により、画素開口領域のうちデータ線に沿った領域を少なくとも部分的に規定可能である。例えば、データ線に沿った画素開口領域のうち、薄膜トランジスタのチャネル領域やデータ線と半導体層とを接続するコンタクトホールが開孔された領域を除く大部分の領域に第2導電層を形成することができ、この大部分の領域における画素開口領域を当該第2導電層で規定することが可能である。

10 或いは、本発明の電気光学装置の他の態様によれば、前記第1導電層及び前記第2導電層は、前記データ線よりも前記基板から遠い層として、即ち上層に設けられていることを特徴とする。

この構成によれば、データ線よりも基板から遠い層として設けられた第1導電層により、画素電極と半導体層とを中継可能であり、データ線よりも上層に設けられた第2導電層により、画素開口領域を規定可能である。この場合特に、第2導電層を、データ線上の全領域に層間絶縁膜を介して設けてもよいし、走査線上に層間絶縁膜を介して設けてもよい。また、第1導電層と画素電極とを接続するコンタクトホールの位置は、非開口領域内であれば任意の位置に設定できるので、設計自由度が増し有利である。

20 この態様では、前記第2導電層は、平面的に見て前記第1導電層が存在する領域を除き前記格子状に設けられており、画素開口領域の前記データ線及び前記走査線に夫々沿った領域を規定するように構成してもよい。

この構成によれば、第2導電層は、第1導電層が存在する領域を除き格子状に設けられているので、画素開口領域のデータ線及び走査線に夫々沿った領域を規定すること、即ち画素開口領域の輪郭の全てを規定することも可能である。尚、第1導電層と第2導電層との間隙については、例えば、対向基板側の遮光膜、薄膜トランジスタの下側の薄膜トランジスタ、データ線の延設部分等により、簡単に光漏れを防止できる。

この第1導電層及び第2導電層が上層に設けられた態様では、前記半導体層と

前記第 1 導電層とは前記データ線と同一膜からなる中継導電層を介して接続されていてもよい。

この構成によれば、データ線よりも上層に設けられた第 1 導電層で、画素電極からデータ線と同一層からなる中継導電層までを電氣的に接続し、この中継導電層により更に半導体層までを電氣的に接続するようにしたので、二つの中継用の導電層である第 1 導電層と中継導電層により、画素電極から半導体層までを良好に中継可能となる。特にデータ線を構成する Al 膜と画素電極を構成する ITO (Indium Tin Oxide) 膜との電氣的な相性が悪い場合にも、これら両者と電氣的に相性が良い材料（例えば、高融点金属）から第 1 導電層を形成すれば良い点で有利である。

この第 1 導電層及び第 2 導電層が上層に設けられている態様では、前記画素電極に接続された蓄積容量を有し、前記データ線は前記蓄積容量の一方の電極と前記第 2 導電層との間に層間絶縁膜を介して挟持されてもよい。

この構成によれば、保持すべき画像信号に応じて電位が変動する画素電極との間ではなく、電位がより安定した第 2 導電層及び蓄積容量の一方の電極との間で、データ線に容量を付加させることができるので、データ線の容量を電位揺れを招かないようにしつつ適度に増加させることが可能となる。特に画素ピッチを微細化して、これに伴いデータ線幅を微細化しても、第 2 導電層及び第 2 蓄積容量電極との間での容量を増加させることにより、データ線の容量不足を抑えることができ、当該データ線を介しての画像信号の画素電極への供給における書き込み能力不足を阻止できる。

本発明の第 1 の電気光学装置の製造方法は上記課題を解決するために、基板に複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線に接続された薄膜トランジスタと、前記薄膜トランジスタの接続された画素電極とを有する電気光学装置の製造方法において、前記基板にソース領域、チャネル領域及びドレイン領域となる半導体層を形成する工程と、前記半導体層上に絶縁薄膜を形成する工程と、前記絶縁薄膜上の所定領域に走査線及び蓄積容量の一方の電極を形成する工程と、前記走査線及び前記一方の電極上に第 1 層間絶縁膜を形成する工程と、前記絶縁薄膜及び前記第 1 層間絶縁膜に前記半導体層に通じる第 1 コンタ

クトホールを開孔する工程と、前記第 2 絶縁膜上に、前記第 1 コンタクトホールを介して前記半導体層に電氣的に接続されるように遮光性の第 1 導電層と、前記第 1 導電層と同一膜から第 2 導電層を形成する工程と、前記第 1 導電層及び前記第 2 導電層上に第 2 層間絶縁膜を形成する工程と、前記第 2 層間絶縁膜上に、データ線を形成する工程と、前記データ線上に第 3 層間絶縁膜を形成する工程と、前記第 2 層間絶縁膜及び前記第 3 層間絶縁膜に前記第 1 導電層に通じる第 2 コンタクトホールを開孔する工程と、前記第 2 コンタクトホールを介して前記第 1 導電層に電氣的に接続されるように画素電極を形成する工程とを有し、前記第 2 導電層は、平面的に見て前記データ線に少なくとも部分的に重なるように形成されている。

本発明の第 1 の電気光学装置の製造方法によれば、基板に、半導体層、絶縁薄膜、走査線及び蓄積容量の一方の電極並びに第 1 層間絶縁膜がこの順で積層形成される。次に、絶縁薄膜及び第 1 層間絶縁膜に半導体層に通じる第 1 コンタクトホールが開孔され、この第 1 コンタクトホールを介して半導体層に電氣的に接続されるように遮光性の第 1 導電層が形成される。同時に、この第 1 導電層と同一膜から、平面的に見て画素電極が形成される領域の間隙内に少なくとも部分的に配置されるように第 2 導電層が形成される。続いて、第 2 層間絶縁膜、データ線、及び第 3 層間絶縁膜がこの順で積層形成される。次に、第 1 導電層に通じる第 2 コンタクトホールが開孔され、この第 2 コンタクトホールを介して第 1 導電層に電氣的に接続されるように画素電極が形成される。従って、上述したデータ線よりも基板に近い層として第 1 及び第 2 導電層を形成して二つのコンタクトホールを介して画素電極と半導体層とを第 2 導電層で中継する構成を有する本発明の電気光学装置を比較的容易に製造できる。特に、第 1 導電層と第 2 導電層とを同一膜から形成するので、製造プロセスの単純化並びに低コスト化を図れる。

本発明の第 1 の電気光学装置の製造方法の一の態様では、前記第 2 層間絶縁膜を形成する工程の後に、前記第 2 層間絶縁膜に前記半導体層に通じる第 3 コンタクトホールを開孔する工程を更に含み、前記データ線を形成する工程において、前記第 3 コンタクトホールを介して前記半導体層に電氣的に接続されるように前記データ線を形成し、前記第 1 コンタクトホールを開孔する工程において、前記

第1コンタクトホールを開孔すると同時に前記第1層間絶縁膜に前記蓄積容量の一方の電極に通じる第4コンタクトホールを開孔し、前記第2導電層を形成する工程において、前記第4コンタクトホールを介して前記蓄積容量の一方の電極に電氣的に接続されるように前記第2導電層を形成する。

- 5 この構成によれば、第2層間絶縁膜の形成後、半導体層に通じる第3コンタクトホールが開孔され、この第3コンタクトホールを介して半導体層に電氣的に接続されるようにデータ線が形成される。更に、第1コンタクトホールの開孔時に、同時に蓄積容量の一方の電極に通じる第4コンタクトホールが開孔され、この第4コンタクトホールを介して蓄積容量の一方の電極に電氣的に接続されるように
- 10 第2導電層が形成される。従って、上述したデータ線と半導体層とがコンタクトホールを介して電氣的に接続されており第2導電層と蓄積容量の一方の電極とがコンタクトホールを介して電氣的に接続された構成を有する本発明の電気光学装置を比較的容易に製造できる。特に、これら二つのコンタクトホールを同時に開孔するので、製造プロセスの単純化並びに低コスト化を図れる。
- 15 本発明の第2の電気光学装置の製造方法は上記課題を解決するために、基板に複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線に接続された薄膜トランジスタと、前記薄膜トランジスタの接続された画素電極とを有する電気光学装置の製造方法において、前記基板にソース領域、チャネル領域及びドレイン領域となる半導体層を形成する工程と、前記半導体層上に絶縁薄膜を形成
- 20 する工程と、前記絶縁薄膜上に走査線及び蓄積容量の一方の電極を形成する工程と、前記走査線及び蓄積容量の一方の電極上に第1層間絶縁膜を形成する工程と、前記第1層間絶縁膜に前記半導体層に通じる第1コンタクトホールを開孔する工程と、前記第1層間絶縁膜上にデータ線を形成すると同時に前記第1コンタクトホールを介して前記半導体層に電氣的に接続されるように前記データ線と同一膜
- 25 から中継導電層を形成する工程と、前記データ線及び前記中継導電層上に第2層間絶縁膜を形成する工程と、前記第2層間絶縁膜に前記中継導電層に通じる第2コンタクトホールを開孔する工程と、前記第2層間絶縁膜上に前記第2コンタクトホールを介して前記中継導電層に電氣的に接続されるように遮光性の第1導電層を形成すると同時に、前記第1導電層と同一膜からなる第2導電層を前記デー

5 タ線に平面的に重なるように形成する工程と、前記第1導電層及び前記第2導電層上に第3層間絶縁膜を形成する工程と、前記第3層間絶縁膜に前記第1導電層に通じる第3コンタクトホールを開孔する工程と、前記第3コンタクトホールを介して前記第1導電層に電氣的に接続されるように画素電極を形成する工程とを含むことを特徴とする。

10 本発明の第2の電気光学装置の製造方法によれば、基板に半導体層、絶縁薄膜、走査線及び蓄積容量の一方の電極並びに第1層間絶縁膜がこの順で積層形成される。次に、半導体層に通じるコンタクトホールが開孔され、データ線が形成されると同時に半導体層に電氣的に接続されるようにデータ線と同一膜から中継導電層が形成される。次に、第2層間絶縁膜が形成された後、中継導電層に通じるコンタクトホールが開孔され、中継導電層に電氣的に接続されるように遮光性の第1導電層が形成される。これと同時に、第1導電層と同一膜から第2導電層が形成される。続いて、第3層間絶縁膜が形成され、第1導電層に通じるコンタクトホールが開孔されて、第1導電層に電氣的に接続されるように画素電極が形成される。従って、上述したデータ線と同一膜からなる導電層として中継導電層を形成すると共にデータ線よりも基板から遠い層、つまり上層として第1導電層を形成して三つのコンタクトホールを介して画素電極と半導体層とを中継導電層及び第1導電層で中継すると共に、画素開口領域を第2導電層で規定する構成を有する本発明の電気光学装置を比較的容易に製造できる。特に、第1導電層と第2導電層とを同一膜から形成するので、製造プロセスの単純化並びに低コスト化を図れる。

25 本発明の第2の電気光学装置の製造方法の一の態様では、前記第1層間絶縁膜を形成する工程の後に、前記第1層間絶縁膜に前記半導体層に通じる第4コンタクトホールを開孔する工程を更に含み、前記データ線を形成する工程において、前記第4コンタクトホールを介して前記半導体層に電氣的に接続されるように前記データ線を形成し、前記第2コンタクトホールを開孔する工程において、前記第2コンタクトホールを開孔すると同時に前記第1層間絶縁膜及び前記第2層間絶縁膜に前記蓄積容量の一方の電極に通じる第5コンタクトホールを開孔し、前記第2導電層を形成する工程において、前記第5コンタクトホールを介して前記

蓄積容量の一方の電極に電氣的に接続されるように前記第2導電層を形成する。

この態様によれば、第1層間絶縁膜の形成後、半導体層に通じる第4コンタクトホールが開孔され、半導体層に電氣的に接続されるようにデータ線が形成される。更に、第2層間絶縁膜にコンタクトホールを開孔する時に、同時に蓄積容量の一方の電極に通じるコンタクトホールが開孔され、蓄積容量の一方の電極に電氣的に接続されるように第3導電層が形成される。従って、上述したデータ線と半導体層とがコンタクトホールを介して電氣的に接続されており第2導電層と蓄積容量の一方の電極とがコンタクトホールを介して電氣的に接続された構成を有する本発明の電気光学装置を比較的容易に製造できる。特に、これら二つのコンタクトホールを同時に開孔するので、製造プロセスの単純化並びに低コスト化を図れる。

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにする。

15 図面の簡単な説明

図1は、第1実施形態の電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

図2は、第1実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図である。

20 図3は、図2のA-A'断面図である。

図4は、図2のB-B'断面図である。

図5は、第1実施形態の電気光学装置の製造プロセスを順を追って示す工程図(その1)である。

25 図6は、第1実施形態の電気光学装置の製造プロセスを順を追って示す工程図(その2)である。

図7は、第1実施形態の電気光学装置の製造プロセスを順を追って示す工程図(その3)である。

図8は、第1実施形態の電気光学装置の製造プロセスを順を追って示す工程図(その4)である。

図9は、第2実施形態の電気光学装置におけるデータ線、走査線、画素電極等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。

図10は、図10のA-A'断面図である。

図11は、図10のB-B'断面図である。

5 図12は、第3実施形態の電気光学装置の断面図である。

図13は、第4実施形態の電気光学装置におけるデータ線、走査線、画素電極、遮光膜等が形成されたTFTアレ基板の相隣接する複数の画素群の平面図である。

図14は、図13のA-A'断面図である。

10 図15は、図13のB-B'断面図である。

図16は、各実施形態の電気光学装置におけるTFTアレ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

図17は、図16のH-H'断面図である。

15 図18は、本発明による電子機器の実施の形態の概略構成を示すブロック図である。

図19は、電子機器の一例としてプロジェクタを示す断面図である。

図20は、電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

20 符号の説明

1a…半導体層

1a'…チャネル領域

1b…低濃度ソース領域

1c…低濃度ドレイン領域

25 1d…高濃度ソース領域

1e…高濃度ドレイン領域

1f…第1蓄積容量電極

2…絶縁薄膜

3a…走査線

- 3 b…容量線
- 4…第2層間絶縁膜
- 5…コンタクトホール
- 6 a…データ線
- 5 6 b…中継導電層
- 7…第3層間絶縁膜
- 8 a…コンタクトホール
- 8 b…コンタクトホール
- 9 a…画素電極
- 10 1 0…T F T アレイ基板
- 1 1 a…第1遮光膜
- 1 2…下地絶縁膜
- 1 6…配向膜
- 2 0…対向基板
- 15 2 1…対向電極
- 2 2…配向膜
- 2 3…第2遮光膜
- 3 0…T F T
- 5 0…液晶層
- 20 7 0…蓄積容量
- 7 0 a…第1蓄積容量
- 7 0 b…第2蓄積容量
- 8 0 a…第1バリア層
- 8 0 b…第2バリア層
- 25 8 1…第1層間絶縁膜
- 8 8 a…コンタクトホール
- 8 8 b…コンタクトホール
- 8 8 c…コンタクトホール
- 8 8 d…コンタクトホール

発明を実施するための最良の形態

以下、本発明の実施形態を図面に基づいて説明する。

(第1実施形態)

- 5 本発明の第1実施形態における電気光学装置の構成について、図1から図4を参照して説明する。図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路であり、図2は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図であり、図4は、図2
- 10 のB-B'断面図である。尚、図3及び図4においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

- 図1において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、走査線3aとデータ線6aの交差に対応
- 15 して画素電極9aを制御するためのTFT30がマトリクス状に複数形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走
- 20 査線3aが電氣的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、…、Gmを、この順に線順次で印加するように構成されている。画素電極9aは、TFT30のドレインに電氣的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイ
- 25 ミングで書き込む。画素電極9aを介して電気光学物質の一例として液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電

圧に応じて入射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、印加された電圧に応じて入射光がこの液晶部分を通過可能とされ、全体として電気光学装置からは画像信号に応じたコントラストを持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極 9 a と
5 対向電極との間に形成される液晶容量と並列に蓄積容量 7 0 を付加する。例えば、画素電極 9 a の電圧は、T F T 3 0 のソースに画像信号が印加された時間よりも 3 桁も長い時間だけ蓄積容量 7 0 により保持される。これにより、保持特性は更に改善され、コントラスト比の高い電気光学装置が実現できる。

図 2 において、電気光学装置の T F T アレイ基板には、マトリクス状に複数の
10 の透明な画素電極 9 a (点線部 9 a' により輪郭が示されている) が設けられており、画素電極 9 a の縦横の境界に各々沿ってデータ線 6 a、走査線 3 a 及び容量線 3 b が設けられている。データ線 6 a は、コンタクトホール 5 を介して例えばポリシリコン膜からなる半導体層 1 a のうち後述のソース領域に電氣的に接続されている。相隣接する画素電極 9 a 間の間隙における走査線 3 a に沿った領域
15 及びデータ線 6 a に沿った領域 (図中右上がりの斜線で示した領域) には夫々、島状の第 1 導電層 (以下、第 1 バリア層と称す) 8 0 a 及び第 2 導電層 (以下、第 2 バリア層と称す) 8 0 b が設けられている。本実施形態では特に、第 1 バリア層 8 0 a 及び第 2 バリア層 8 0 b は同一の遮光性の導電膜から形成されている。画素電極 9 a は、第 1 バリア層 8 0 a を中継して、コンタクトホール 8 a 並びに
20 コンタクトホール 8 b を介して半導体層 1 a のうち後述のドレイン領域に電氣的に接続されている。容量線 3 b は、第 2 バリア層 8 0 b にコンタクトホール 8 c を介して電氣的に接続されている。また、半導体層 1 a のうち図中右下がりの斜線領域で示したチャネル領域 1 a' に対向するように走査線 3 a が配置されており、走査線 3 a はゲート電極として機能する。このように、走査線 3 a とデータ
25 線 6 a との交差する個所には夫々、チャネル領域 1 a' に走査線 3 a がゲート電極として対向配置された画素スイッチング用 T F T 3 0 が設けられている。

容量線 3 b は、走査線 3 a に沿ってほぼ直線状に伸びる本線部と、データ線 6 a と交差する箇所からデータ線 6 a に沿って突出した突出部とを有する。

特に、第 1 バリア層 8 0 a は夫々、コンタクトホール 8 a により半導体層 1 a

のドレイン領域に電氣的に接続されており、コンタクトホール 8 b により画素電極 9 a に電氣的に接続されており、半導体層 1 a のドレイン領域と画素電極 9 a との間におけるバッファとして機能している。この第 1 バリア層 8 0 a、コンタクトホール 8 a 並びにコンタクトホール 8 b については後に詳述する。

- 5 また、図中太線で示した領域には夫々、走査線 3 a、容量線 3 b 及び T F T 3 0 の下側を通るように、第 1 遮光膜 1 1 a を設けても良い。第 1 遮光膜 1 1 a は夫々、走査線 3 a に沿って縞状に形成するとともに、データ線 6 a と交差する箇所が図中下方に幅広に形成し、この幅広の部分により画素スイッチング用 T F T 3 0 のチャンネル領域 1 a' を T F T アレイ基板側から見て夫々覆う位置に設ける
- 10 ようにすると良い。

- 次に図 3 の断面図に示すように、電気光学装置は、透明な一方の基板の一例を構成する T F T アレイ基板 1 0 と、これに対向配置される透明な他方の基板の一例を構成する対向基板 2 0 とを備えている。T F T アレイ基板 1 0 は、例えば石英基板、ガラス基板、シリコン基板からなり、対向基板 2 0 は、例えばガラス基
- 15 板や石英基板からなる。T F T アレイ基板 1 0 には、画素電極 9 a が設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜 1 6 が設けられている。画素電極 9 a は例えば、I T O 膜などの透明導電性薄膜からなる。また配向膜 1 6 は例えば、ポリイミド薄膜などの有機薄膜からなる。

- 他方、対向基板 2 0 には、その全面に渡って対向電極 2 1 が設けられており、
- 20 その下側には、ラビング処理等の所定の配向処理が施された配向膜 2 2 が設けられている。対向電極 2 1 は例えば、I T O 膜などの透明導電性薄膜からなる。また配向膜 2 2 は、ポリイミド薄膜などの有機薄膜からなる。

T F T アレイ基板 1 0 には、各画素電極 9 a に隣接する位置に、各画素電極 9 a をスイッチング制御する画素スイッチング用 T F T 3 0 が設けられている。

- 25 対向基板 2 0 には、更に図 3 に示すように、各画素の非開口領域に、第 2 遮光膜 2 3 が設けられている。このため、対向基板 2 0 の側から入射光が画素スイッチング用 T F T 3 0 の半導体層 1 a のチャンネル領域 1 a' や低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に侵入することはない。更に、第 2 遮光膜 2 3 は、コントラストの向上、カラーフィルタを形成した場合における色材の混色防止な

どの機能を有する。

このように構成され、画素電極 9 a と対向電極 2 1 とが対面するように配置された T F T アレイ基板 1 0 と対向基板 2 0 との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層 5 0 が形成される。液晶層 5 0 は、画素電極 9 a からの電界が印加されていない状態で配向膜 1 6 及び 2 2 により所定の配向状態をとる。液晶層 5 0 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、T F T アレイ基板 1 0 及び対向基板 2 0 をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのガラスファイバー或いはガラスビーズ等のギャップ材が混入されている。

更に図 3 に示すように、画素スイッチング用 T F T 3 0 に各々対向する位置において T F T アレイ基板 1 0 と各画素スイッチング用 T F T 3 0 との間には、第 1 遮光膜 1 1 a を設けるようにすると良い。第 1 遮光膜 1 1 a は、好ましくは不透明な高融点金属である T i、C r、W、T a、M o 及び P b のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、T F T アレイ基板 1 0 上の第 1 遮光膜 1 1 a の形成工程の後に行われる画素スイッチング用 T F T 3 0 の形成工程における高温処理により、第 1 遮光膜 1 1 a が破壊されたり溶融しないようにできる。第 1 遮光膜 1 1 a が形成されているので、T F T アレイ基板 1 0 の側からの反射光（戻り光）等が画素スイッチング用 T F T 3 0 のチャネル領域 1 a' や低濃度ソース領域 1 b、低濃度ドレイン領域 1 c に入射する事態を未然に防ぐことができ、これに起因した光による電流の発生により画素スイッチング用 T F T 3 0 の特性が変化したり、劣化することはない。

尚、縞状に形成された第 1 遮光膜 1 1 a は、例えば走査線 3 a 下に延設されて、定電位線に電氣的に接続されてもよい。このように構成すれば、第 1 遮光膜 1 1 a に対向配置される画素スイッチング用 T F T 3 0 に対し第 1 遮光膜 1 1 a の電位変動が悪影響を及ぼすことはない。この場合、定電位線としては、当該電気光学装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路等）に供給される負電源、正電源等の定電位線、接地電源、対向電極 2 1 に供給

される定電位線等が挙げられる。尚、第1遮光膜11aはデータ線6a及び走査線3aに沿って格子状で形成しても良いし、少なくとも画素スイッチング用TF T 30のチャネル領域1a'や低濃度ソース領域1b、低濃度ドレイン領域1cを覆うように島状に形成しても良い。

- 5 更に、第1遮光膜11aと複数の画素スイッチング用TF T 30との間には、下地絶縁膜12が設けられている。下地絶縁膜12は、画素スイッチング用TF T 30を構成する半導体層1aを第1遮光膜11aから電氣的に絶縁するために設けられるものである。更に、下地絶縁膜12は、TF Tアレイ基板10の全面に形成されることにより、画素スイッチング用TF T 30のための下地膜として
- 10 の機能をも有する。即ち、TF Tアレイ基板10の表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用TF T 30の特性の劣化を防止する機能を有する。下地絶縁膜12は、例えば、NSG（ノンドープシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリ
- 15 コン膜、窒化シリコン膜等からなる。下地絶縁膜12により、第1遮光膜11aが画素スイッチング用TF T 30等を汚染する事態を未然に防ぐこともできる。

- 本実施形態では、半導体層1aを高濃度ドレイン領域1eから延設して第1蓄積容量電極1fとし、これに対向する容量線3bの一部を第2蓄積容量電極とし、ゲート絶縁膜を含んだ絶縁薄膜2を走査線3aに対向する位置から延設してこれ
- 20 らの電極間に挟持された第1誘電体膜とすることにより、第1蓄積容量70aが構成されている。更に、この第2蓄積容量電極と対向する第1バリア層80aの一部を第3蓄積容量電極とし、これらの電極間に第1層間絶縁膜81を設ける。第1層間絶縁膜81は第2誘電体膜として機能し、第2蓄積容量70bが形成されている。そして、これら第1蓄積容量70a及び第2蓄積容量70bがコンタ
- 25 クトホール8aを介して並列接続されて蓄積容量70が構成されている。特に第1蓄積容量70aの第1誘電体膜としての絶縁薄膜2は、高温酸化によりポリシリコン膜上に形成されるTF T 30のゲート絶縁膜に他ならないので、薄く且つ高耐圧の絶縁膜とすることができ、第1蓄積容量70aは比較的小面積で大容量の蓄積容量として構成できる。また、第1層間絶縁膜81も、絶縁薄膜2と同様

に或いは絶縁薄膜2よりも薄く形成することができるので、第2蓄積容量70bは比較的小面積で大容量の蓄積容量として構成できる。従って、これら第1蓄積容量70a及び第2蓄積容量70bから立体的に構成される蓄積容量70は、データ線6a下の領域及び走査線3aに沿って液晶のディスクリネーションが発生する領域（即ち、容量線3bが形成された領域）という画素開口領域を外れたスペースを有効に利用して、小面積で大容量の蓄積容量とされる。

このように第2蓄積容量70bを構成する第1層間絶縁膜81は、酸化シリコン膜、窒化シリコン膜等でもよいし、多層膜から構成してもよい。一般にゲート絶縁膜等の絶縁薄膜2を形成するのに用いられる各種の公知技術（減圧CVD法、プラズマCVD法、熱酸化法等）により、第1層間絶縁膜81を形成可能である。第1層間絶縁膜81を薄く形成することにより、コンタクトホール8aの径を更に小さく出来るので、前述したコンタクトホール8aにおける第1バリア層80aの窪みや凹凸が更に小さくて済み、その上方に位置する画素電極9aにおける平坦化が更に促進される。

図3において、画素スイッチング用TF T 30は、LDD (Lightly Doped Drain)構造を有しており、走査線3a、当該走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁薄膜2、データ線6a、半導体層1aの低濃度ソース領域1b及び低濃度ドレイン領域1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つが第1バリア層80aを中継して電氣的に接続されている。低濃度ソース領域1b及び高濃度ソース領域1d並びに低濃度ドレイン領域1c及び高濃度ドレイン領域1eは後述のように、半導体層1aに対し、n型又はp型のチャネルを形成するかに応じて所定濃度のn型用又はp型用の不純物をドーピングすることにより形成されている。n型チャネルのTF Tは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用TF T 30として用いられることが多い。本実施形態では特にデータ線6aは、Al等の低抵抗な金属膜や金属シリサイド等の合金膜などの遮光性且つ導電性の薄膜から構成されている。また、第1バリア層80a及び第1

層間絶縁膜 8 1 の上には、高濃度ソース領域 1 d へ通じるコンタクトホール 5 及び第 1 バリア層 8 0 a へ通じるコンタクトホール 8 b が各々形成された第 2 層間絶縁膜 4 が形成されている。この高濃度ソース領域 1 d へのコンタクトホール 5 を介して、データ線 6 a は高濃度ソース領域 1 d に電氣的に接続されている。更に、データ線 6 a 及び第 2 層間絶縁膜 4 の上には、第 1 バリア層 8 0 a へのコンタクトホール 8 b が形成された第 3 層間絶縁膜 7 が形成されている。このコンタクトホール 8 b を介して、画素電極 9 a は第 1 バリア層 8 0 a に電氣的に接続されており、更に第 1 バリア層 8 0 a を中継してコンタクトホール 8 a を介して高濃度ドレイン領域 1 e に電氣的に接続されている。前述の画素電極 9 a は、このように構成された第 3 層間絶縁膜 7 の上面に設けられている。

画素スイッチング用 T F T 3 0 は、好ましくは上述のように L D D 構造を持つが、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線 3 a の一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型の T F T であってもよい。

また本実施形態では、画素スイッチング用 T F T 3 0 のゲート電極を高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにデュアルゲート或いはトリプルゲート以上で T F T を構成すれば、チャネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも 1 個を L D D 構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

図 2 及び図 3 に示すように、本実施形態の電気光学装置では、高濃度ドレイン領域 1 e と画素電極 9 a とをコンタクトホール 8 a 及びコンタクトホール 8 b を介して第 1 バリア層 8 0 a を経由して電氣的に接続するので、画素電極 9 a からドレイン領域まで一つのコンタクトホールを開孔する場合と比較して、コンタクトホール 8 a 及びコンタクトホール 8 b の径を夫々小さくできる。即ち、一つの

コンタクトホールを開孔する場合には、コンタクトホールを深く開孔する程エッチング精度は落ちるため、例えば50 nm程度の非常に薄い半導体層1 aにおける突き抜けを防止するためには、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウェットエッチングで半導体層1 aまで開孔するように工程を組まねばならない。或いは、ドライエッチングによる突き抜け防止用のポリシリコン膜を別途設けたりする必要が生じてしまうのである。

これに対して本実施形態では、画素電極9 a及び高濃度ドレイン領域1 eを2つの直列なコンタクトホール8 a及びコンタクトホール8 bにより接続すればよいので、これらコンタクトホール8 a及びコンタクトホール8 bを夫々、ドライエッチングにより開孔することが可能となるのである。或いは、少なくともウェットエッチングにより開孔する距離を短くすることが可能となるのである。但し、コンタクトホール8 a及びコンタクトホール8 bに、若干のテーパを付けるために、ドライエッチング後に敢えて比較的短時間のウェットエッチングを行うようにしてもよい。

以上のように本実施形態によれば、コンタクトホール8 a及びコンタクトホール8 bの径を夫々小さくでき、コンタクトホール8 aにおける第1バリア層8 0 aの表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極9 aの部分における平坦化が、ある程度促進される。更に、第2コンタクトホール8 bにおける画素電極9 aの表面に形成される窪みや凹凸も小さくて済むので、この画素電極9 aの部分における平坦化が、ある程度促進される。

本実施形態では特に、第1バリア層8 0 aは、導電性の遮光膜からなる。従って、第1バリア層8 0 aにより、各画素開口領域を少なくとも部分的に規定することが可能となる。例えば、第1バリア層8 0 aは、不透明な高融点金属であるTi、Cr、W、Ta、Mo及びPbのうちの少なくとも一つを含む、金属単体、合金、金属シリサイド等から構成するようにする。これにより、コンタクトホール8 bを介して第1バリア層8 0 a及び画素電極9 a間で良好に電氣的な接続がとれる。第1バリア層8 0 aの膜厚は、例えば50 nm以上500 nm以下程度とするのが好ましい。50 nm程度の厚みがあれば、製造プロセスにおける第2コンタクトホール8 bの開孔時に突き抜ける可能性は低くなり、また500 nm

程度であれば第1バリア層80aの存在に起因した画素電極9aの表面の凹凸は問題とならないか或いは比較的容易に平坦化可能だからである。

更に本実施形態では、各画素における画素開口領域のうち、データ線6aに沿った領域の左右辺を、データ線6aに沿って長手状に伸びる島状の第2バリア層80b及びコンタクトホール5周辺におけるデータ線6a部分から規定しており、
5 各画素における画素開口領域のうち、走査線3a及び容量線3bに沿った領域の上辺及び下辺を第1バリア層80a及び第1遮光膜11aにより夫々規定している。

より具体的には図2及び図4に示すように、第2バリア層80bは、平面的に見て部分的に画素電極9aの間隙内に配置されており、画素電極9aに部分的にも重なっている。このため、この画素電極9aと第2バリア層80bを一部重ねることにより、各画素における画素開口領域の左右辺の大部分を規定できる。この際特に、第2バリア層80bにより画素開口領域が規定された個所では、平面的に見て画素電極9aと第2バリア層80bとの間に隙間はないため、そのよう
10 な隙間を介しての光漏れは起こらない。この結果、最終的には、コントラスト比が高められる。同時に、第2バリア層80bにより画素開口領域が規定された個所では、データ線6aで画素開口領域を規定する必要はないため、この個所では、データ線6aの幅は、第2バリア層80bの幅よりも若干細められている。この結果、図4に示すように、データ線6aと画素電極9aとが第3層間絶縁膜7を
15 介して重ならないようにすることにより、各画素におけるTFT30のソースとドレインとの間の寄生容量を発生させないで済む。このため、1フレーム等の所定周期内に他行のTFT30に供給される画像信号の電位に頻繁に振れるデータ線6aの当該電位揺れに起因して、上述のソースとドレインとの間の寄生容量によりTFT30が異常動作して、画素電極9aに保持させるべき電圧がリークす
20 る事態を未然に防げる。これらの結果、表示画像におけるフリッカやラインムラを低減できる。但し、第2バリア層80bが存在しないコンタクトホール5周辺の比較的小さい領域では、データ線6aの幅を若干太めるようにして、データ線6aにより画素開口領域を規定してもよい。

また、以上のように画素開口領域を規定するように構成すれば、対向基板20

- に第2遮光膜23を形成しなくて済むため、対向基板のコストを削減することが可能である。更に、対向基板20とTFTアレイ基板10とのアライメントずれによる画素開口率の低下やばらつきを防ぐことができる。また、対向基板20に第2遮光膜23を設ける場合は、TFTアレイ基板10とのアライメントずれにより画素開口率を低減しないように小さめに形成しても上述のようにデータ線6a、第1バリア層80a及び第2バリア層80b並びに第1遮光膜11aというTFTアレイ基板10側に形成された遮光性の膜により画素開口部を規定するため、精度よく画素開口部を規定することができ、対向基板20上の第2遮光膜23により画素開口部を決める場合に比べて画素開口率を向上させることができる。
- 10 更に図2及び図4に示したようにデータ線6aの幅を若干狭めて画素電極9aの縁部分と重ならない構成とすることにより、データ線6aと画素電極9aとが第3層間絶縁膜7を介して重なった個所において発生する可能性が高い両者間の電氣的ショート（短絡）等の欠陥の発生を抑えることができ、最終的には装置欠陥率の低下、製造時の歩留まり向上が図られる。
- 15 第2バリア層80bは、好ましくは、容量線3bや他の定電位線に電氣的に接続される。即ち、第2バリア層80bの縁部分と画素電極9aの縁部分が重なるために、両者間には多少の寄生容量が付加されるが、第2バリア層80bの電位が一定電位に保たれていれば、第2バリア層80bの電位変動が画素電極9aの電位に及ぼす悪影響を低減できる。尚、第2バリア層80bと容量線3bとを電氣的に接続するためのコンタクトホール8cは、本実施形態では、コンタクトホール8aを開孔する工程と同一工程により開孔可能であり、製造プロセスの複雑化を招かない。尚、この場合、第2バリア層80bは、各画素毎に、コンタクトホール8cを介して容量線3bに電氣的に接続される。
- 20 更にまた上述の如く第2バリア層80bとデータ線6aとが第2層間絶縁膜4を介して対向配置された構成においては、データ線6aには、電位がより安定した第2バリア層80bとの間で容量が付加される。このため、データ線6aの容量を電位揺れを招かないような適度な大きさに設定できる。特に画素ピッチを微細化して、これに伴いデータ線6aの幅を微細化しても、第2バリア層80bとの間の容量を増加させることにより、データ線6aの容量不足を抑えることがで

きる。これにより、データ線 6 a を介しての画像信号の画素電極 9 a への供給における書き込み能力不足を阻止できる。言い換えれば、特に画素ピッチを微細化する際に有利な、データ線 6 a がノイズに対して強くなる構造が比較的容易に得られる。

5 尚、本実施形態の各コンタクトホール（8 a、8 b、8 c 及び 5）の平面形状は、円形や四角形或いはその他の多角形状等でもよいが、円形は特にコンタクトホールの周囲の層間絶縁膜等におけるクラック防止に役立つ。そして、良好に電気的な接続を得るために、ドライエッチング後にウエットエッチングを行って、これらのコンタクトホールに夫々若干のテーパをつけることが好ましい。

10 以上説明したように第 1 実施形態の電気光学装置によれば、第 1 バリア層 8 0 a に、T F T 3 0 と画素電極 9 a とを中継する機能を持たせると共に、この第 1 バリア層 8 0 a と同一膜からなる第 2 バリア層 8 0 b に、画像信号の安定供給を可能ならしめつつ画素開口領域を規定する機能を持たせているので、全体として、積層構造及び製造プロセスの単純化並びに低コスト化を図れる。

15 （第 1 実施形態における電気光学装置の製造プロセス）

次に、以上のような構成を持つ実施形態における電気光学装置を構成する T F T アレイ基板の製造プロセスについて、図 5 から図 8 を参照して説明する。尚、図 5 から図 8 は各工程における T F T アレイ基板側の各層を、図 3 と同様に図 2 の A-A' 断面に対応させて示す工程図である。

20 先ず図 5 の工程（1）に示すように、石英基板、ハードガラス基板、シリコン基板等の T F T アレイ基板 1 0 を用意する。ここで、好ましくは N₂（窒素）等の不活性ガス雰囲気且つ約 9 0 0 ~ 1 3 0 0 °C の高温で熱処理し、後に実施される高温プロセスにおける T F T アレイ基板 1 0 に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前に T F T アレイ基板 1 0 を同じ温度かそれ以上の温度で熱処理しておく。そして、このように処理された T F T アレイ基板 1 0 の全面に、T i、C r、W、T a、M o 及び P b 等の金属や金属シリサイド等の金属合金膜を、スパッタリング等により、1 0 0 ~ 5 0 0 nm 程度の膜厚、好ましくは約 2 0 0 nm の膜厚の遮光膜 1 1 を形成する。尚、遮光膜 1 1 上には、表面反射を緩和するた

25

めにポリシリコン膜等の反射防止膜を形成しても良い。

次に工程(2)に示すように、該形成された遮光膜11上にフォトリソグラフィにより第1遮光膜11aのパターンに対応するレジストマスクを形成し、該レジストマスクを介して遮光膜11に対しエッチングを行うことにより、第1遮光
5 膜11aを形成する。

次に工程(3)に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG(ノンシリケートガラス)、PSG
10 (リンシリケートガラス)、BSG(ボロンシリケートガラス)、BPSG(ボロンリンシリケートガラス)などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば、約500~2000nmとする。

次に工程(4)に示すように、下地絶縁膜12の上に、約450~550℃、
15 好ましくは約500℃の比較的低温環境中で、流量約400~600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20~40PaのCVD)により、アモルファスシリコン膜を形成する。その後、窒素雰囲気中で、約600~700℃にて約1~10時間、好ましくは、4~6時間の熱処理を施すことにより、ポリシリコン膜1を約50~200nmの厚さ、
20 好ましくは約100nmの厚さとなるまで固相成長させる。固相成長させる方法としては、RTA(Rapid Thermal Anneal)を使った熱処理でも良いし、エキシマレーザー等を用いたレーザー熱処理でも良い。

この際、図3に示した画素スイッチング用TFT30として、nチャネル型の画素スイッチング用TFT30を作成する場合には、当該チャネル領域にSb
25 (アンチモン)、As(砒素)、P(リン)などのV族元素の不純物を僅かにイオン注入等によりドーブしても良い。また、画素スイッチング用TFT30をpチャネル型とする場合には、B(ボロン)、Ga(ガリウム)、In(インジウム)などのIII族元素の不純物を僅かにイオン注入等によりドーブしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜

1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化し、その後熱処理等により再結晶化させてポリシリコン膜1を形成しても良い。

次に工程(5)に示すように、フォトリソグラフィ工程、エッチング工程等により、第1蓄積容量電極1fを含む所定パターンを有する半導体層1aを形成する。

次に工程(6)に示すように、画素スイッチング用TF T 3 0を構成する半導体層1aを約900~1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約30nmの比較的薄い厚さの熱酸化シリコン膜2aを形成し、更に工程(7)に示すように、減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる絶縁膜2bを約50nmの比較的薄い厚さに堆積し、熱酸化シリコン膜2a及び絶縁膜2bを含む多層構造を持つ画素スイッチング用TF T 3 0のゲート絶縁膜と共に蓄積容量形成用の第1誘電体膜を含む絶縁薄膜2を形成する。この結果、半導体層1aの厚さは、約30~150nmの厚さ、好ましくは約35~50nmの厚さとなり、絶縁薄膜2の厚さは、約20~150nmの厚さ、好ましくは約30~100nmの厚さとなる。このように高温熱酸化時間を短くすることにより、特に8インチ程度の大型基板を使用する場合に熱によるそりを防止することができる。但し、ポリシリコン膜1を熱酸化することのみにより、単一層構造を持つ絶縁薄膜2を形成してもよい。

次に工程(8)に示すように、フォトリソグラフィ工程、エッチング工程等によりレジスト層500を第1蓄積容量電極1fとなる部分を除く半導体層1a上に形成した後、例えばPイオンをドーズ量約 $3 \times 10^{12} / \text{cm}^2$ でドーピングして、第1蓄積容量電極1fを低抵抗化する。

次に工程(9)に示すように、レジスト層500を除去した後、減圧CVD法等によりポリシリコン膜3を堆積し、更にPを熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入した低抵抗なポリシリコン膜を用いてもよい。ポリシリコン膜3の膜厚は、約100~500nmの厚さ、好ましくは約300nmに堆積する。

次に図6の工程(10)に示すように、レジストマスクを用いたフォトリソグ

ラフィ工程、エッチング工程等により、所定パターンの走査線 3 a と共に容量線 3 b を形成する。走査線 3 a 及び容量線 3 b は、高融点金属や金属シリサイド等の金属合金膜で形成しても良いし、ポリシリコン膜等と組み合わせた多層配線としても良い。

- 5 次に工程 (11) に示すように、図 3 に示した画素スイッチング用 TFT 30 を LDD 構造を持つ n チャンネル型の TFT とする場合、半導体層 1 a に、先ず低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c を形成するために、走査線 3 a の一部からなるゲート電極をマスクとして、P などの V 族元素の不純物を低濃度で、例えば、P イオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にてドーピングする。これにより走査線 3 a 下の半導体層 1 a はチャンネル領域 1 a' となる。この不純物のドーピングにより容量線 3 b 及び走査線 3 a も低抵抗化される。

- 次に工程 (12) に示すように、画素スイッチング用 TFT 30 を構成する高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を形成するために、走査線 3 a よりも幅の広いマスクでレジスト層 600 を走査線 3 a 上に形成した後、同じく
15 P などの V 族元素の不純物を高濃度で、例えば、P イオンを $1 \sim 3 \times 10^{15} / \text{cm}^2$ のドーズ量にてドーピングする。また、画素スイッチング用 TFT 30 を p チャンネル型とする場合、半導体層 1 a に、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c 並びに高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を形成するために、B などの III 族元素の不純物を用いてドーピングする。尚、例えば、低濃度のドーピングを行わずに、オフセット構造の TFT としてもよく、走査線 3 a をマスクとして、P イオン、B イオン等を用いたイオン注入技術によりセルフアライン型の TFT としてもよい。この不純物のドーピングにより容量線 3 b 及び走査線 3 a も更に低抵抗化される。

- 尚、これらの TFT 30 の素子形成工程と並行して、n チャンネル型 TFT 及び
25 p チャンネル型 TFT から構成される相補型構造を持つデータ線駆動回路、走査線駆動回路等の周辺回路を TFT アレイ基板 10 上の周辺部に形成してもよい。このように、本実施形態において画素スイッチング用 TFT 30 を構成する半導体層 1 a をポリシリコン膜で形成すれば、画素スイッチング用 TFT 30 の形成時にほぼ同一工程で、周辺回路を形成することができ、製造上有利である。

次に工程（１３）に示すように、レジスト層６００を除去した後、容量線３ｂ及び走査線３ａ並びに絶縁薄膜２上に、減圧ＣＶＤ法、プラズマＣＶＤ法等により高温酸化シリコン膜（ＨＴＯ膜）や窒化シリコン膜からなる第１層間絶縁膜８１を約２００ｎｍ以下の比較的薄い厚さに堆積する。但し、前述のように、第１層間絶縁膜８１は、多層膜から構成してもよいし、一般にＴＦＴのゲート絶縁膜を形成するのに用いられる各種の公知技術により、第１層間絶縁膜８１を形成可能である。

次に工程（１４）に示すように、第１バリア層８０ａと高濃度ドレイン領域１ｅとを電氣的に接続するためのコンタクトホール８ａ並びに第２バリア層８０ｂと容量線３ｂとを電氣的に接続するためのコンタクトホール８ｃを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。このようなドライエッチングは、指向性が高いため、小さな径のコンタクトホール８ａ及びコンタクトホール８ｃを開孔可能である。或いは、コンタクトホール８ａが半導体層１ａを突き抜けるのを防止するのに有利なウエットエッチングを併用してもよい。このウエットエッチングは、コンタクトホール８ａに対し、より良好に電氣的な接続をとるためのテーパを付与する観点からも有効である。また特に、コンタクトホール８ａ及びコンタクトホール８ｃは上述のように同時に開孔可能であり製造上有利である。

次に工程（１５）に示すように、第１層間絶縁膜８１並びにコンタクトホール８ａを介して覗く高濃度ドレイン領域１ｅ及びコンタクトホール８ｃを介して覗く容量線３ｂの全面に、Ｔｉ、Ｃｒ、Ｗ、Ｔａ、Ｍｏ及びＰｂ等の金属や金属シリサイド等の金属合金膜をスパッタリング等により堆積して、５０～５００ｎｍ程度の膜厚の導電膜８０を形成する。５０ｎｍ程度の厚みがあれば、後にコンタクトホール８ｂを開孔する時に突き抜ける可能性は殆どない。尚、この導電膜８０上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。尚、導電膜８０は金属や金属シリサイド等の金属合金膜あるいは、ポリシリコン膜を積層した多層膜であってもよい。

次に図７の工程（１６）に示すように、該形成された導電膜８０上にフォトリソグラフィ工程及びエッチング工程等を行うことにより、第１バリア層８０ａ及

び第2バリア層80bを形成する。ここで第2バリア層80bについては特に図4に示したように、その一部分が後で形成される画素電極9aと若干重なるように形成すると良い。

次に工程(17)に示すように、第1層間絶縁膜81並びに第1バリア層80a及び第2バリア層80bを覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第2層間絶縁膜4を形成する。第2層間絶縁膜4の膜厚は、約500~1500nmが好ましい。第2層間絶縁膜4の膜厚が500nm以上あれば、データ線6a及び走査線3a間における寄生容量は余り又は殆ど問題とならない。

次に工程(18)の段階で、半導体層1aを活性化するために約1000℃の熱処理を20分程度行った後、データ線6aと半導体層1aの高濃度ドレイン領域1eを電氣的に接続するためのコンタクトホール5を絶縁薄膜2、第1層間絶縁膜81及び第2層間絶縁膜4に開孔する。また、走査線3aや容量線3bを基板周辺領域において図示しない配線と接続するためのコンタクトホールも、コンタクトホール5と同一の工程により開孔することができる。

次に、工程(19)に示すように、第2層間絶縁膜4の上に、スパッタリング等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜6として、約100~500nmの厚さ、好ましくは約300nmに堆積する。

次に工程(20)に示すように、フォトリソグラフィ工程及びエッチング工程等により、データ線6aを形成する。ここでデータ線6aについては特に図4に示したように、後で形成される画素電極9aに重ならないように且つ第2バリア層80bに重なるように形成する。

次に図8の工程(21)に示すように、データ線6a上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第3層間絶縁膜7を形成する。第3層間絶縁膜7の膜厚は、約500~1500nmが好ましい。

次に工程(22)に示すように、画素電極9aと第1バリア層80aとを電気

的に接続するためのコンタクトホール8 bを、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。テーパ状にするためにウェットエッチングを追加しても良い。

次に工程(23)に示すように、第3層間絶縁膜7の上に、スパッタリング等により、ITO膜等の透明導電性薄膜9を、約50~200nmの厚さに堆積し、更に工程(24)に示すように、フォトリソグラフィ工程及びエッチング工程等により、画素電極9 aを形成する。尚、当該電気光学装置を反射型として用いる場合には、Al等の反射率の高い不透明な材料から画素電極9 aを形成してもよい。

10 以上説明したように本実施形態における製造プロセスによれば、比較的少ない工程数で且つ比較的簡単な各工程を用いて上述した第1実施形態の電気光学装置を製造できる。

(第2実施形態)

本発明の第2実施形態における電気光学装置の構成について、図9から図11を参照して説明する。図9は、第2実施形態におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図10は、そのA-A'断面図であり、図11は、そのB-B'断面図である。また、図10及び図11においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。尚、図9から図11に示した第2実施形態において図2から図4に示した第1実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。

図9から図11において、第2実施形態では、半導体層1 aの高濃度ドレイン領域1 eにコンタクトホール8 8 aを介して電氣的に接続されておりデータ線6 aと同一層から構成された中継導電層6 bと、画素電極9 aにコンタクトホール8 8 cを介して電氣的に接続された遮光性の導電層からなる第1バリア層9 0 aとを備えている。そして、中継導電層6 bと第1バリア層9 0 aとは、データ線6 a及び中継導電層6 b上に形成された第2層間絶縁膜4を介して対向配置されており、この第2層間絶縁膜4に開孔されたコンタクトホール8 8 bを介して相互に電氣的に接続されている。他方、第2実施形態では、第1バリア層9 0 aと

同一の遮光性の導電層からなる第2バリア層90bが設けられており、第2バリア層90bと容量線3bとは、コンタクトホール88dを介して電氣的に接続されている。これにより、第2バリア層90bを蓄積容量電極とし、かつ隣接する画素群と接続することにより、容量線として代用できる。この場合、容量線3bを蓄積容量電極として、各画素毎に島状に形成しても良い。これにより、画素開口率を大きくすることができる。また、第2バリア層90bと容量線3bを電氣的に接続することにより、容量線を2重で形成することができ、冗長構造が実現できる。図9に示すように、第2バリア層90bは、平面的に見て第1バリア層90aが存在する領域の周囲を除き画素電極9aの間隙を覆う格子状に設けられており、画素開口領域のうちデータ線6a及び走査線3aに夫々沿った左右辺及び上下辺を規定する。この場合にも第1実施形態の場合と同じく、第2バリア層90bの縁部分は、画素電極9aの縁部分に若干重ねられる。尚、第1バリア層90aと第2バリア層90bとの間隙については、中継導電層6bや対向基板側の第2遮光膜23で覆うことにより、簡単に光漏れを防止できる。その他の構成については第1実施形態の場合と同様である。

このように第2実施形態では、二つの中継用の導電層である中継導電層6b及び第1バリア層90aにより、画素電極9aから半導体層1aまでを良好に中継可能となる。特に画素電極9aがITO膜からなりデータ線6aがAl膜からなる場合には、両者との間で良好に電氣的な接続が得られるTi、Cr、W等の高融点金属等から構成するのが好ましい。

また、図11に示すように、データ線6aが容量線3bとバリア層90bとの間に誘電体膜である第1層間絶縁膜81及び第2層間絶縁膜4を介して挟持された構成においては、データ線6aには、電位がより安定した容量線3b及び第2バリア層90bとの間で容量が付加される。このため、データ線6aの容量を電位揺れを招かないような適度な大きさに設定でき、データ線6aを介しての画像信号の画素電極9aへの供給における書き込み能力不足を阻止できる。

このようなAl膜と同一膜からなる中継導電層6bは、例えば、第1実施形態の製造プロセスにおける工程(18)において、高濃度ドレイン領域1eに至るコンタクトホール88aを開孔し、工程(20)において、このコンタクトホー

- ル 8 8 a の部分を含めて高濃度ドレイン領域 1 e の上方に中継導電層 6 b を形成するのに、工程 (19) で形成した A 1 膜に対してフォトリソグラフィ工程及びエッチング工程等を施せばよい。更に第 2 層間絶縁膜 4 並びに第 1 バリア層 9 0 a 及び第 2 バリア層 9 0 b については、データ線 6 a 及び中継導電層 6 b 上に、
- 5 第 1 実施形態における工程 (13) から工程 (16) と同様のプロセスにより形成すればよい。

(第 3 実施形態)

- 本発明の第 3 実施形態における電気光学装置の構成について、図 12 を参照して説明する。図 12 は、第 3 実施形態におけるデータ線、走査線、画素電極等が形成された断面図に対応する断面図である。また、図 12 においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。尚、図 12 に示した第 3 実施形態において図 10 に示した第 2 実施形態と同様の構成要素については、同様の参照符号を付し、その説明は省略する。
- 10

- 15 図 12 において、第 3 実施形態では、第 2 実施形態とは異なり、中継導電層 6 b を用いることなく、第 1 バリア層 9 0 a' で直接高濃度ドレイン領域 1 e との間で電氣的な接続がとれるように構成されている。その他の構成については、第 2 実施形態の場合と同様である。

- 従って、第 3 実施形態によれば、画素電極 9 a を構成する I T O 膜と電氣的に相性の良い高融点金属膜から構成される第 1 バリア層 9 0 a' により、画素電極 9 a と高濃度ドレイン領域 1 e とを電氣的に中継接続することができる。
- 20

(第 4 実施形態)

- 本発明の第 4 実施形態における電気光学装置の構成について、図 13 から図 15 を参照して説明する。図 13 は、第 4 実施形態におけるデータ線、走査線、画素電極等が形成された T F T アレイ基板の相隣接する複数の画素群の平面図であり、図 14 は、その A - A' 断面図であり、図 15 は、その B - B' 断面図である。また、図 14 及び図 15 においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。尚、図 13 から図 15 に示した第 4 実施形態において図 2 から図 4 に示した第 1 実施形態と
- 25

同様の構成要素については、同様の参照符号を付し、その説明は省略する。

図13から図15において、第4実施形態では、第1実施形態とは異なり、第1遮光膜11a'が相隣接する画素電極9aの間隙を縫って格子状に形成されており、容量線3bがコンタクトホール15を介して各画素毎に第1遮光膜11a'に電氣的に接続されている。第1遮光膜11a'を容量線3bの冗長配線として機能させることが可能であり、容量線3bの低抵抗化を図ることにより蓄積容量70の電位を安定化させることができる。また、この構成では、第1遮光膜11a'を容量線として代用することで、容量線3bを各画素毎に島状の蓄積容量電極として構成しても良い。これにより、画素開口率を大きくすることができる。また、第2実施形態と組み合わせることで、容量線3bを第1遮光膜11a'と第2バリア層90bと電氣的に接続することにより、蓄積容量を形成するための容量線を3重配線にしても良い。容量線3bを蓄積容量電極として島状に各画素毎に形成する場合は、第1遮光膜11a'と第2バリア層90bは蓄積容量電極を介して電氣的に接続されかつ隣接する画素と接続されている。尚、コンタクトホール15と第2バリア層80bと容量線3bとを接続するためのコンタクトホール8cとが異なる平面位置に開孔することにより、コンタクトホール15及びコンタクトホール8cにおける接続不良を防止することができる。

更に、図14及び図15に示すようにTFTアレイ基板10'は、配線やTFT30の少なくとも一部が凹状に窪んで形成されており、上側表面が平坦に形成されている。この結果、データ線6a、走査線3a、容量線3b等の配線やTFT30の形成された平面領域における第3層間絶縁膜7の表面が平坦化されている。その他の構成については第1実施形態の場合と同様である。

従って、第4実施形態によれば、データ線6に重ねて走査線3a、TFT30、容量線3b等が形成される領域との画素開口領域との段差が低減される。このようにして画素電極9aが平坦化されているので、当該平坦化の度合いに応じて液晶層50のディスクリネーションを低減できる。この結果、より高品位の画像表示が可能となり、画素開口領域を広げることにも可能となる。

尚、このようなTFTアレイ基板10'に溝を形成することによる平坦化ではなく、例えば、CMP (Chemical Mechanical Polishing) 処理、スピンコート

処理、リフロー法等により行ったり、有機SOG (Spin On Glass)膜、無機SOG膜、ポリイミド膜等を利用して第2層間絶縁膜4や第3層間絶縁膜7における平坦化を行なってもよい。尚、上述の構成は第1実施形態、第2実施形態及び第3実施形態にも適用可能である。

5 (電気光学装置の全体構成)

以上のように構成された各実施形態における電気光学装置の全体構成を図16及び図17を参照して説明する。尚、図16は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図17は、図16のH-H'断面図である。

- 10 図16において、TFTアレイ基板10の上には、シール材52がその縁に沿って設けられており、その内側に並行して、例えば第2遮光膜23と同じ或いは異なる材料から成る画像表示領域の周辺を規定する額縁としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路
- 15 101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ
- 20 線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線は画像表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画像表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線を櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積
- 25 を拡張することができるため、複雑な回路を構成することが可能となる。更にTFTアレイ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電氣的な導通をとるための導通材106が設けられている。

そして、図17に示すように、図16に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレ基板10に固着されている。尚、TFTアレ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等进行检查するための検査回路等を形成してもよい。尚、本実施の形態によれば、対向基板20上の第2遮光膜23はTFTアレ基板10上の遮光領域よりも小さく形成すれば良く、電気光学装置の用途により、容易に取り除くことができる。

以上図1から図17を参照して説明した各実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレ基板10の上に設ける代わりに、例えばTAB (Tape Automated bonding)基板上に実装された駆動用LSIに、TFTアレ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレ基板10の出射光が出射する側には各々、例えば、TN (Twisted Nematic)モード、VA (Vertically Aligned)モード、PDLC (Polymer Dispersed Liquid Crystal)モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

以上説明した各実施形態における電気光学装置は、プロジェクタに適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー電気光学装置に各実施形態における電気光学装置を適用できる。更に、対向基板20上に1画素1個対応す

るようにマイクロレンズを形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの
5 屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

以上説明した各実施形態における電気光学装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11a（あるいは11a'）
10 a'）を設けているので、TFTアレイ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように電気光学装置をプロジェクタに取り付けても、半導体層1aのチャネル領域1a'及び低濃度ソース領域1b及び低濃度ドレイン領域1cに光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。ここで、従来は、TFTアレイ基板
15 10の裏面側での反射を防止するために、反射防止用のAR（Anti Reflection）被膜された偏光板を別途配置したり、ARフィルムを貼り付ける必要があったが、各実施形態では、TFTアレイ基板10の表面と半導体層1aの少なくともチャネル領域1a'及び低濃度ソース領域1b及び低濃度ドレイン領域1cとの間に第1遮光膜11a（あるいは11a'）が形成されているため、このようなAR
20 被膜された偏光板やARフィルムを用いたり、TFTアレイ基板10そのものをAR処理した基板を使用する必要が無くなる。従って、各実施形態によれば、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上さ
25 せても、光によるクロストーク等の画質劣化を生じない。

また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプレーナ型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施形態は有効である。

(電子機器)

次に、以上詳細に説明した電気光学装置 100 を備えた電子機器の実施の形態について図 18 から図 20 を参照して説明する。

5 先ず図 18 に、このように電気光学装置 100 を備えた電子機器の概略構成を示す。

図 18 において、電子機器は、表示情報出力源 1000、表示情報処理回路 1002、駆動回路 1004、電気光学装置 100、クロック発生回路 1008 並びに電源回路 1010 を備えて構成されている。表示情報出力源 1000 は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置
10 などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路 1008 からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路 1002 に出力する。表示情報処理回路 1002 は、増幅・極性反転回路、シリアルーパラレル変換回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、ク
15 ロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号 CLK と共に駆動回路 1004 に出力する。駆動回路 1004 は、電気光学装置 100 を駆動する。電源回路 1010 は、上述の各回路に所定電源を供給する。尚、電気光学装置 100 を構成する TFT アレイ基板の上に、駆動回路 1004 を搭載してもよく、これに加えて表示情報処理回路 1002 を搭載しても
20 よい。

次に図 19 から図 20 に、このように構成された電子機器の具体例を各々示す。

図 19 において、電子機器の一例たるプロジェクタ 1100 は、上述した駆動回路 1004 が TFT アレイ基板上に搭載された電気光学装置 100 を含むライ
25 トバルブを 3 個用意し、各々 RGB 用のライトバルブ 100R、100G 及び 100B として用いたプロジェクタとして構成されている。プロジェクタ 1100 では、メタルハライドランプ等の白色光源のランプユニット 1102 から投射光が発せられると、3 枚のミラー 1106 及び 2 枚のダイクロイックミラー 1108 によって、RGB の 3 原色に対応する光成分 R、G、B に分けられ、各色に対応するライトバルブ 100R、100G 及び 100B に各々導かれる。この際特

にB光は、長い光路による光損失を防ぐために、入射レンズ1122、リレーレンズ1123及び出射レンズ1124からなるリレーレンズ系1121を介して導かれる。そして、ライトバルブ100R、100G及び100Bにより各々変調された3原色に対応する光成分は、ダイクロイックプリズム1112により再度合成された後、投射レンズ1114を介してスクリーン1120にカラー画像として投射される。

図20において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ(PC)1200は、上述した電気光学装置100がトップカバーケース内に設けられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体1204を備えている。

以上図19から図20を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション(EWS)、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図18に示した電子機器の例として挙げられる。

以上説明したように、本実施の形態によれば、製造効率が高く高品位の画像表示が可能な電気光学装置を備えた各種の電子機器を実現できる。

請求の範囲

1. 基板に、
複数の走査線と、
5 複数のデータ線と、
前記各走査線及び前記各データ線の交差に対応して配置された薄膜トランジスタと画素電極と、
前記薄膜トランジスタのソース及びドレイン領域を構成する半導体層と前記画素電極との間に介在し、前記半導体層と電氣的に接続され且つ前記画素電極と電
10 氣的に接続された遮光性の第1導電層と、
前記第1導電層と同一膜からなり、平面的に見て前記データ線に少なくとも部分的に重なっている第2導電層と
を備えたことを特徴とする電気光学装置。
2. 前記第2導電層は平面的に見て少なくとも部分的に前記画素電極に重なって
15 いることを特徴とする請求項1に記載の電気光学装置。
3. 前記第1導電層は、前記半導体層と第1コンタクトホールを介して電氣的に接続され且つ前記画素電極と第2コンタクトホールを介して電氣的に接続されたことを特徴とする請求項1又は2に記載の電気光学装置。
4. 前記データ線は、前記半導体層と第3コンタクトホールを介して電氣的に接
20 続されたことを特徴とする請求項1から3のいずれか一項に記載の電気光学装置。
5. 前記データ線は、平面的に見て前記画素電極に少なくとも部分的に重ならないことを特徴とする請求項1から4のいずれか一項に記載の電気光学装置。
6. 前記第2導電層は、定電位線に電氣的に接続されていることを特徴とする請求項1から5のいずれか一項に記載の電気光学装置。
- 25 7. 前記半導体層のうち少なくともチャネル領域の前記基板側に下地絶縁膜を介して形成された遮光膜を更に備えたことを特徴とする請求項1から6のいずれか一項に記載の電気光学装置。
8. 前記第1導電層及び前記第2導電層は、高融点金属を含むことを特徴とする請求項1から7のいずれか一項に記載の電気光学装置。

9. 前記第2導電層と前記データ線とは、層間絶縁膜を介して少なくとも部分的に対向配置されたことを特徴とする請求項1から8のいずれか一項に記載の電気光学装置。

10 10. 前記画素電極に接続された蓄積容量を更に備えたことを特徴とする請求項1から9のいずれか一項に記載の電気光学装置。

11. 前記第1導電層及び前記第2導電層は、前記走査線及び前記蓄積容量の一方の電極上に絶縁膜を介して設けられていることを特徴とする請求項10に記載の電気光学装置。

10 12. 前記半導体層の一部からなる第1蓄積容量電極と前記蓄積容量の一方の電極である第2蓄積容量電極とが第1誘電体膜を介して対向配置され、前記第2蓄積容量電極と前記第1導電層の一部からなる第3蓄積容量電極とが第2誘電体膜を介して対向配置されて前記蓄積容量が形成されていることを特徴とする請求項11に記載の電気光学装置。

15 13. 前記第2導電層は、前記第2蓄積容量電極に接続されたことを特徴とする請求項10から12のいずれか一項に記載の電気光学装置。

14. 前記第2導電層は、第4コンタクトホールを介して前記第2蓄積容量電極に電氣的に接続されており、

前記第4コンタクトホールは、前記第1コンタクトホールを開孔する工程と同一工程により開孔されていることを特徴とする請求項13に記載の電気光学装置。

20 15. 前記第2蓄積容量電極は延設されて容量線であることを特徴とする請求項12に記載の電気光学装置。

16. 前記第2蓄積容量電極は前記遮光膜と接続されてなることを特徴とする請求項13に記載の電気光学装置。

25 17. 前記遮光膜は容量線を兼ね、前記第2蓄積容量電極は、前記基板上における平面形状が相隣接するデータ線間を前記走査線に沿って伸び、各画素電極毎に島状に構成されているとともに、前記遮光膜に接続されてなることを特徴とする請求項16に記載の電気光学装置。

18. 前記遮光膜は、前記第4コンタクトホールとは異なる平面位置に開孔された第5コンタクトホールを介して前記容量線に電氣的に接続されていることを特

徴とする請求項 15 に記載の電気光学装置。

19. 前記第 2 導電層と前記遮光膜とは前記第 2 蓄積容量電極を介して電氣的に接続されてなり、前記第 2 導電層と前記遮光膜とは隣接する画素電極に接続されてなることを特徴とする請求項 10 から 18 のいずれか一項に記載の電気光学装置。

20. 前記第 1 導電層及び前記第 2 導電層は、前記データ線よりも下層に設けられていることを特徴とする請求項 1 から 19 のいずれか一項に記載の電気光学装置。

21. 前記第 2 導電層は、平面的に見て島状に設けられており、画素開口領域のうち前記データ線に沿った領域を少なくとも部分的に規定することを特徴とする請求項 1 から 20 のいずれか一項に記載の電気光学装置。

22. 前記第 1 導電層及び前記第 2 導電層は、前記データ線よりも上層に設けられていることを特徴とする請求項 1 から 10 のいずれか一項に記載の電気光学装置。

23. 前記第 2 導電層は、平面的に見て前記第 1 導電層が存在する領域を除き格子状に設けられており、画素開口領域の前記データ線及び前記走査線に沿った領域を規定することを特徴とする請求項 22 に記載の電気光学装置。

24. 前記半導体層と前記第 1 導電層とは前記データ線と同一膜からなる中継導電層を介して接続されていることを特徴とする請求項 22 又は 23 に記載の電気光学装置。

25. 前記画素電極に接続された蓄積容量を有し、

前記データ線は前記蓄積容量の一方の電極と前記第 2 導電層との間に層間絶縁膜を介して挟持されたことを特徴とする請求項 24 に記載の電気光学装置。

26. 基板に複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線に接続された薄膜トランジスタと、前記薄膜トランジスタの接続された画素電極とを有する電気光学装置の製造方法において、

前記基板にソース領域、チャネル領域及びドレイン領域となる半導体層を形成する工程と、

前記半導体層上に絶縁薄膜を形成する工程と、

- 前記絶縁薄膜上に走査線及び蓄積容量の一方の電極を形成する工程と、
前記走査線及び前記一方の電極上に第 1 層間絶縁膜を形成する工程と、
前記絶縁薄膜及び前記第 1 層間絶縁膜に前記半導体層に通じる第 1 コンタクトホールを開孔する工程と、
- 5 前記第 1 層間絶縁膜上に、前記第 1 コンタクトホールを介して前記半導体層に電氣的に接続されるように遮光性の第 1 導電層と前記第 1 導電層と同一膜から第 2 導電層を形成する工程と、
前記第 1 導電層及び前記第 2 導電層上に第 2 層間絶縁膜を形成する工程と、
前記第 2 層間絶縁膜上にデータ線を形成する工程と、
- 10 前記データ線上に第 3 層間絶縁膜を形成する工程と、
前記第 2 層間絶縁膜及び前記第 3 層間絶縁膜に前記第 1 導電層に通じる第 2 コンタクトホールを開孔する工程と、
前記第 2 コンタクトホールを介して前記第 1 導電層に電氣的に接続されるように画素電極を形成する工程と
- 15 を有し、前記第 2 導電層は、平面的に見て前記データ線に少なくとも部分的に重なるように形成されていることを特徴とする電気光学装置の製造方法。
27. 前記第 2 層間絶縁膜を形成する工程の後に、前記第 2 層間絶縁膜に前記半導体層に通じる第 3 コンタクトホールを開孔する工程を更に含み、前記データ線を形成する工程において、前記第 3 コンタクトホールを介して前記半導体層に電
- 20 氣的に接続されるように前記データ線を形成し、
前記第 1 コンタクトホールを開孔する工程において、前記第 1 コンタクトホールを開孔すると同時に前記第 1 層間絶縁膜に前記蓄積容量の一方の電極に通じる第 4 コンタクトホールを開孔し、前記第 2 導電層を形成する工程において、前記第 4 コンタクトホールを介して前記蓄積容量の一方の電極に電氣的に接続される
- 25 ように前記第 2 導電層を形成することを特徴とする請求項 23 に記載の電気光学装置の製造方法。
28. 基板に複数の走査線と、複数のデータ線と、前記各走査線と前記各データ線に接続された薄膜トランジスタと、前記薄膜トランジスタの接続された画素電極とを有する電気光学装置の製造方法において、

前記基板にソース領域、チャネル領域及びドレイン領域となる半導体層を形成する工程と、

前記半導体層上に絶縁薄膜を形成する工程と、

前記絶縁薄膜上に走査線及び蓄積容量の一方の電極を形成する工程と、

5 前記走査線及び蓄積容量の一方の電極上に第1層間絶縁膜を形成する工程と、

前記第1層間絶縁膜に前記半導体層に通じる第1コンタクトホールを開孔する工程と、

10 前記第1層間絶縁膜上にデータ線を形成すると同時に前記第1コンタクトホールを介して前記半導体層に電氣的に接続されるように前記データ線と同一膜から中継導電層を形成する工程と、

前記データ線及び前記中継導電層上に第2層間絶縁膜を形成する工程と、

前記第2層間絶縁膜に前記中継導電層に通じる第2コンタクトホールを開孔する工程と、

15 前記第2層間絶縁膜上に前記第2コンタクトホールを介して前記中継導電層に電氣的に接続されるように遮光性の第1導電層を形成すると同時に、前記第1導電層と同一膜からなる第2導電層を前記データ線に平面的に重なるように形成する工程と、

前記第1導電層及び前記第2導電層上に第3層間絶縁膜を形成する工程と、

20 前記第3層間絶縁膜に前記第1導電層に通じる第3コンタクトホールを開孔する工程と、

前記第3コンタクトホールを介して前記第1導電層に電氣的に接続されるように画素電極を形成する工程と

を含むことを特徴とする電気光学装置の製造方法。

25 29. 前記第1層間絶縁膜を形成する工程の後に、前記第1層間絶縁膜に前記半導体層に通じる第4コンタクトホールを開孔する工程を更に含み、前記データ線を形成する工程において、前記第4コンタクトホールを介して前記半導体層に電氣的に接続されるように前記データ線を形成し、

前記第2コンタクトホールを開孔する工程において、前記第2コンタクトホールを開孔すると同時に前記第1層間絶縁膜及び前記第2層間絶縁膜に前記蓄積容

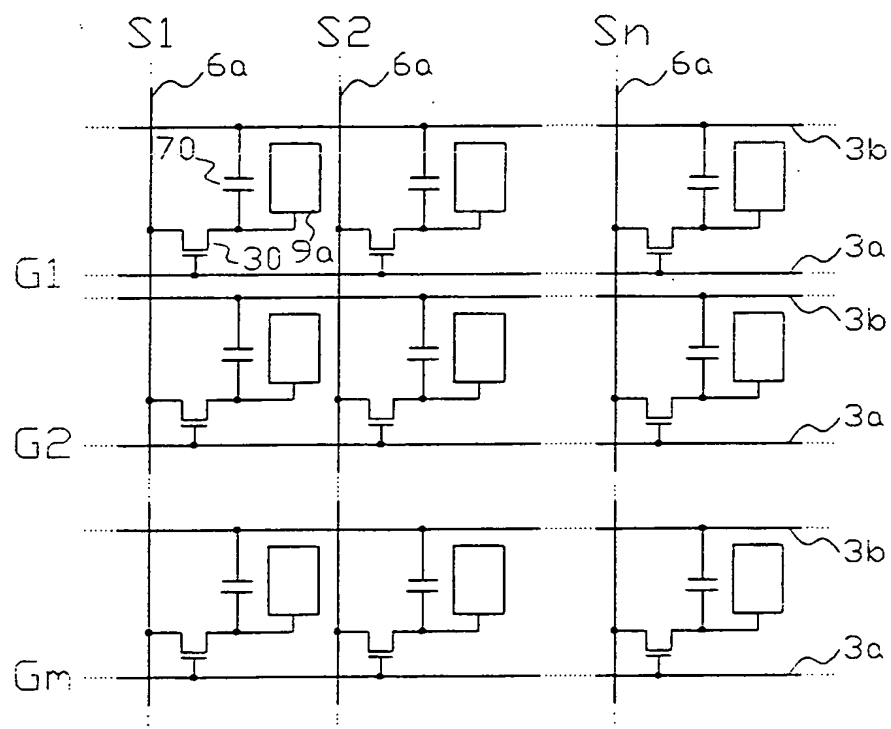
量の一方の電極に通じる第5コンタクトホールを開孔し、前記第2導電層を形成する工程において、前記第5コンタクトホールを介して前記蓄積容量の一方の電極に電氣的に接続されるように前記第2導電層を形成することを特徴とする請求項24に記載の電気光学装置の製造方法。

- 5 30. 請求項1から請求項25のいずれか一項に記載の電気光学装置を有することを特徴とする電子機器。

THIS PAGE BLANK (USPTO)

【図 1】

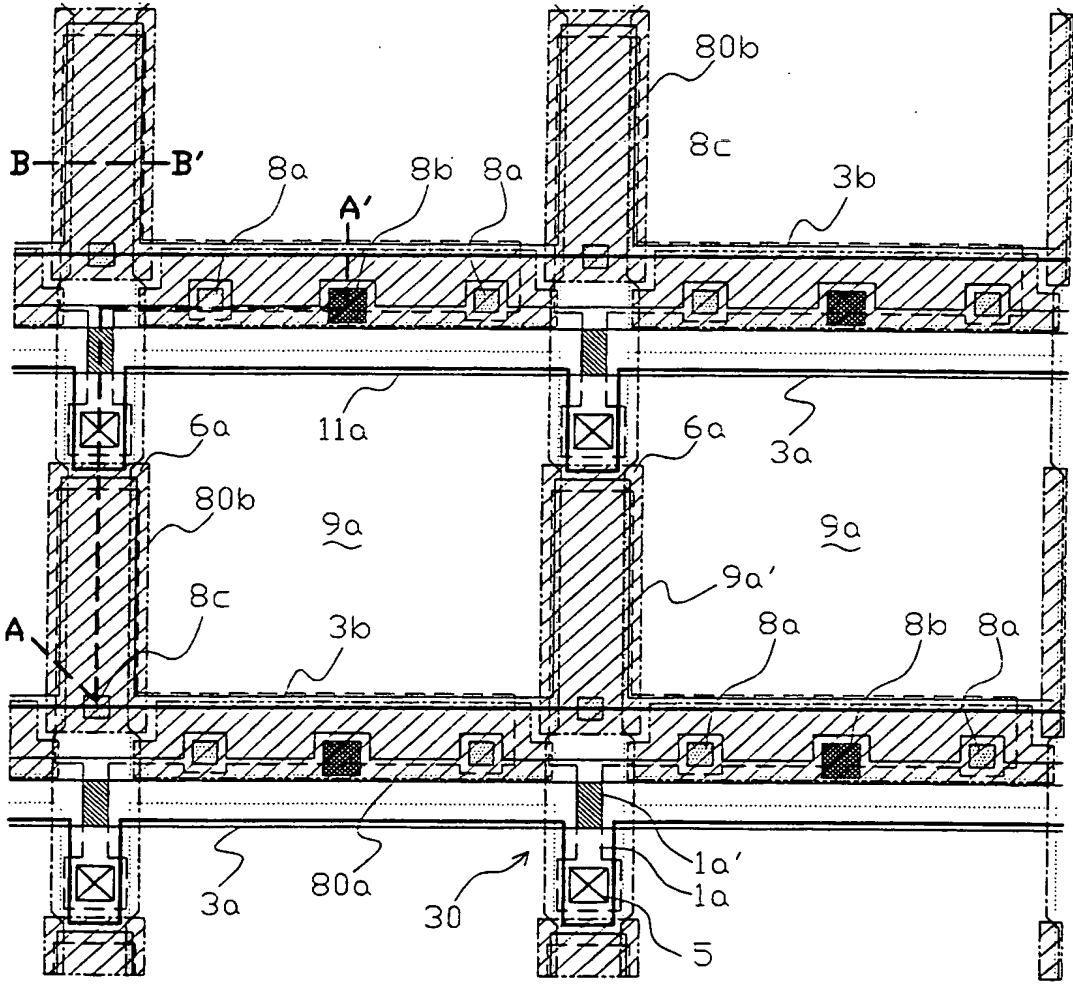
1 / 19



THIS PAGE BLANK (USPTO)

【図2】

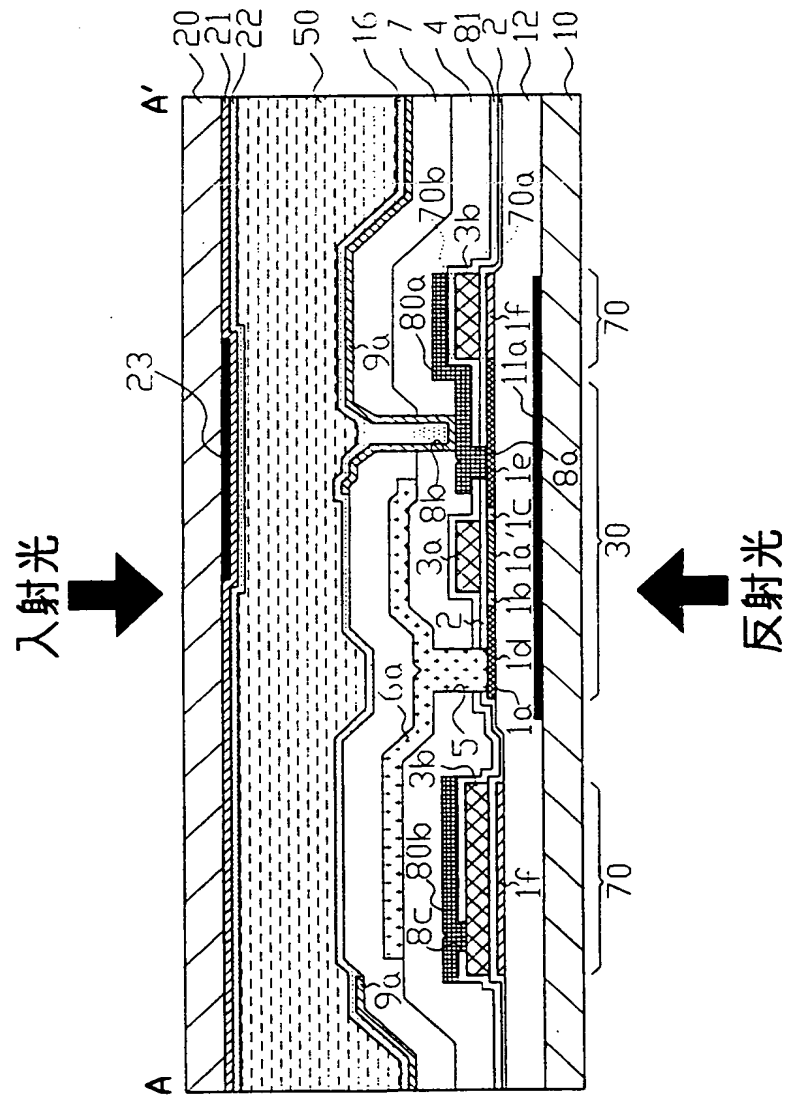
2 / 19



THIS PAGE BLANK (USPTO)

【図3】

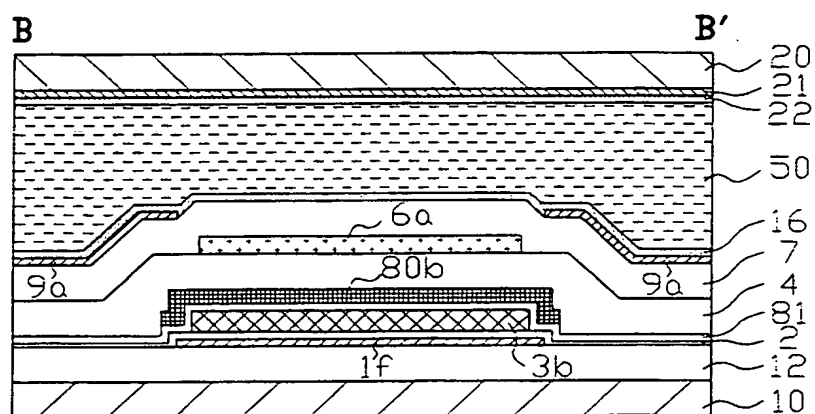
3 / 19



THIS PAGE BLANK (USPTO)

【図 4】

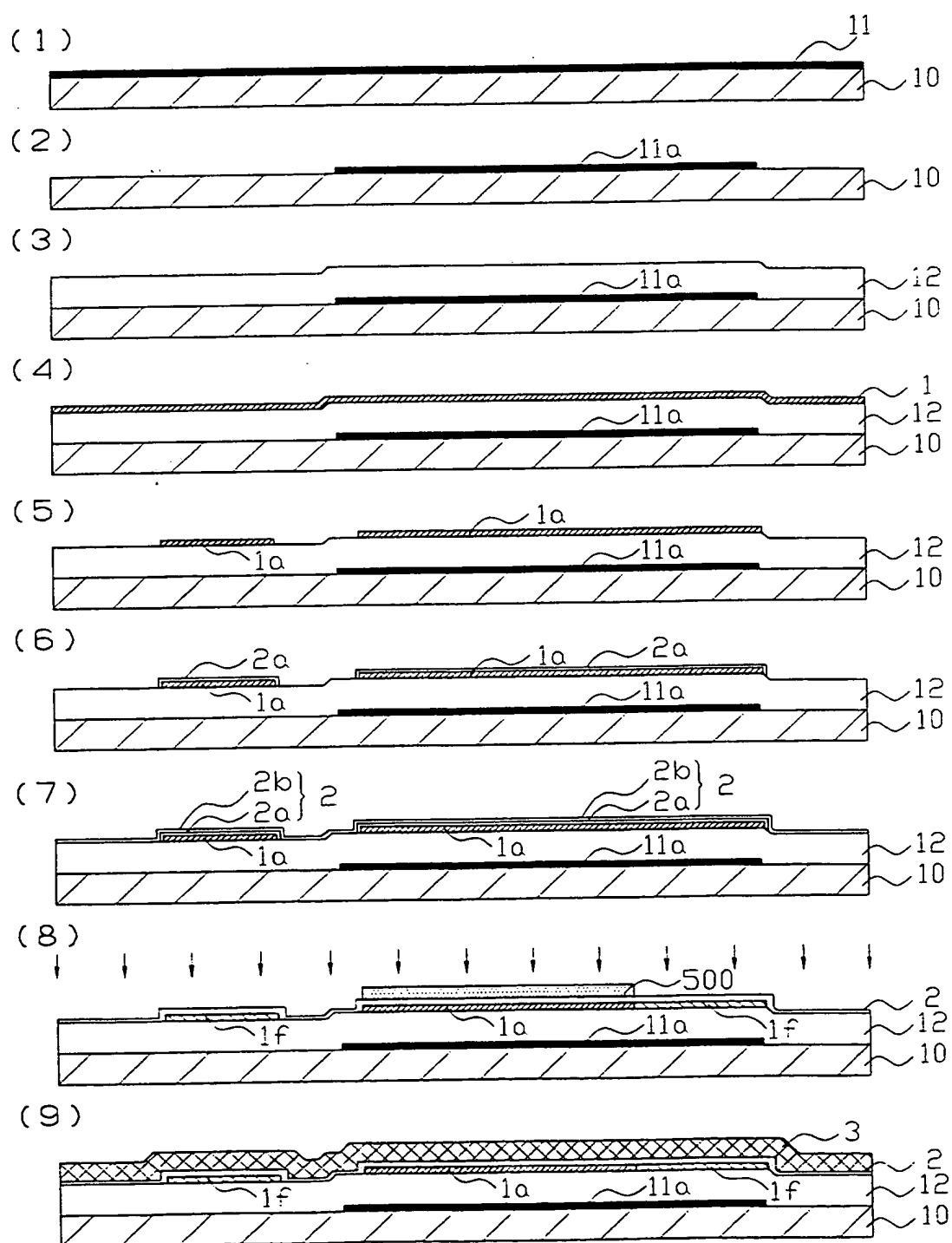
4 / 19



THIS PAGE BLANK (USPTO)

【図5】

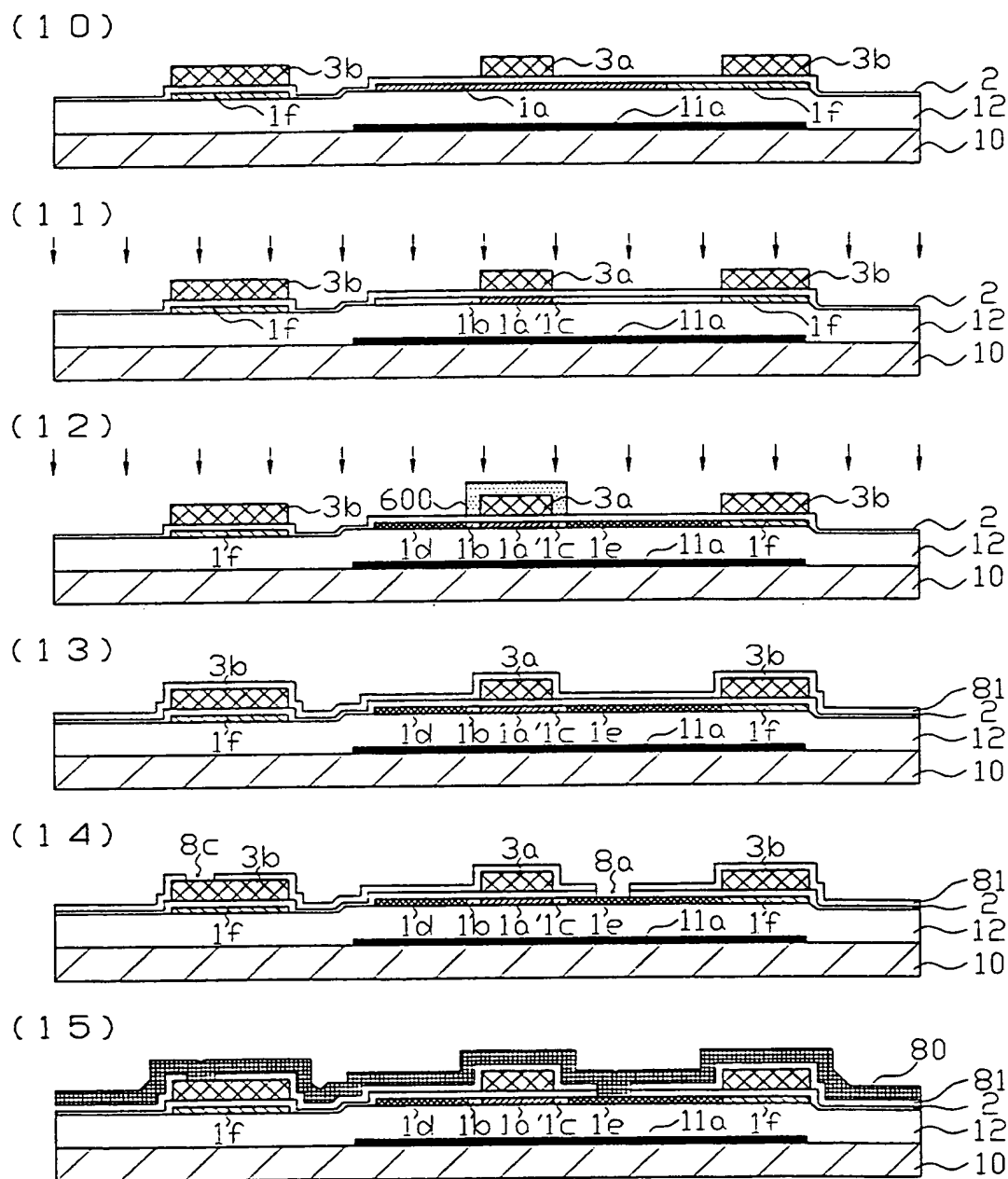
5/19



THIS PAGE BLANK (USPTO)

【図6】

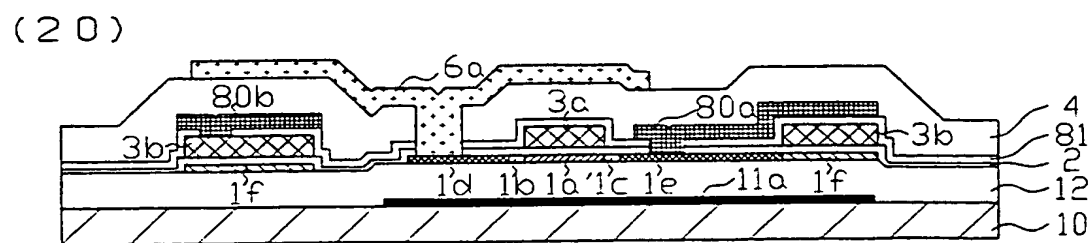
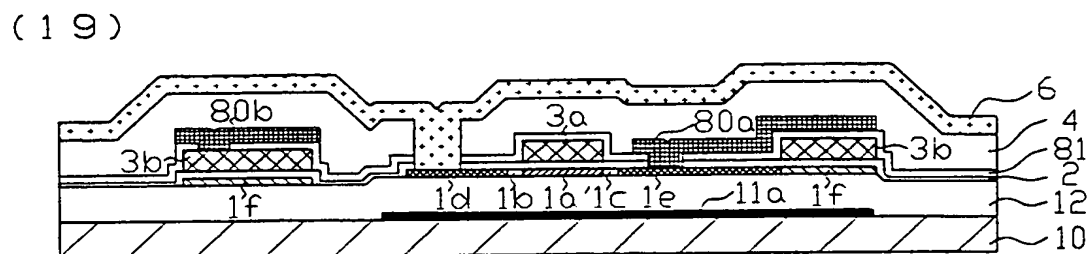
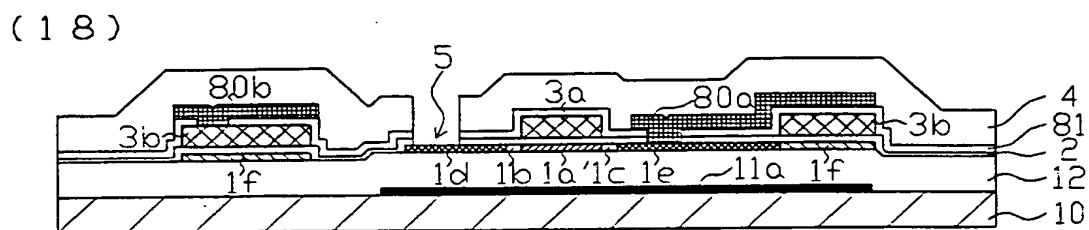
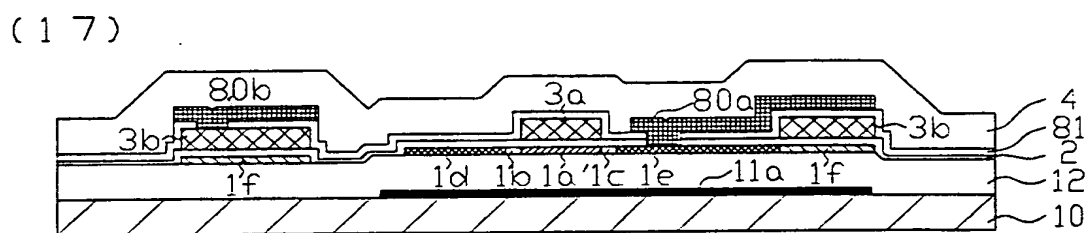
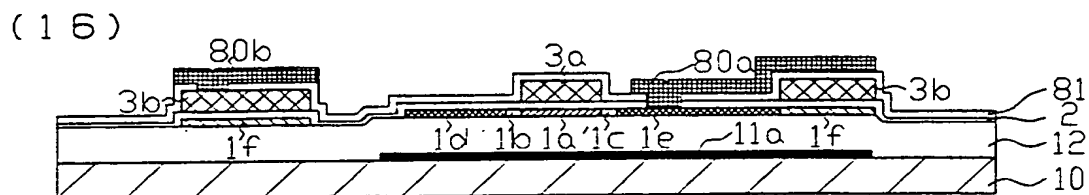
6 / 19



THIS PAGE BLANK (USPTO)

【図 7】

7 / 19

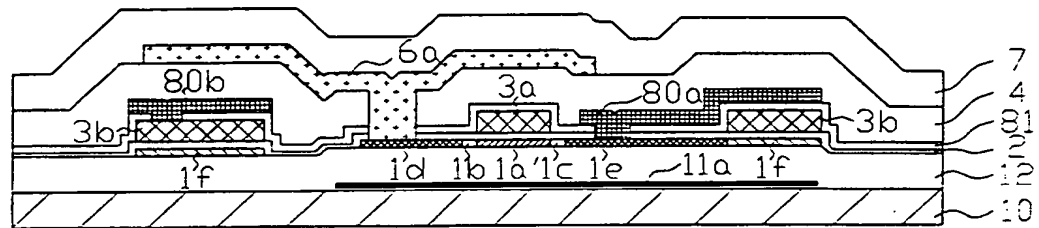


THIS PAGE BLANK (USPTO)

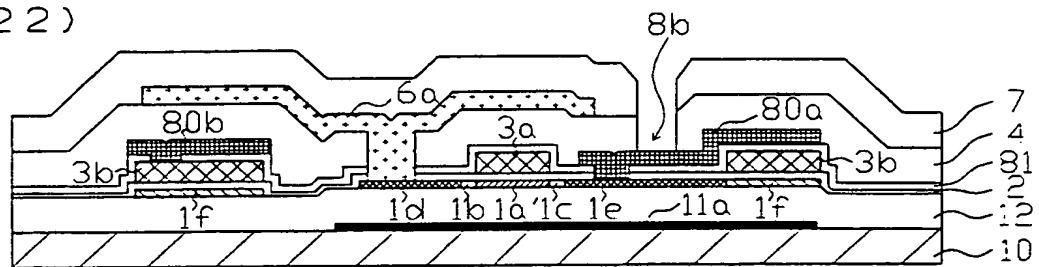
【図 8】

8 / 19

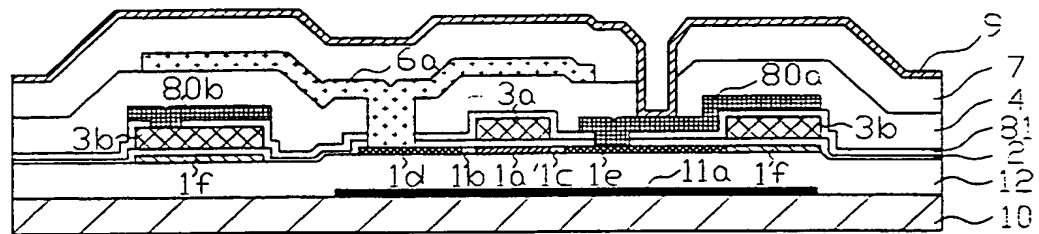
(21)



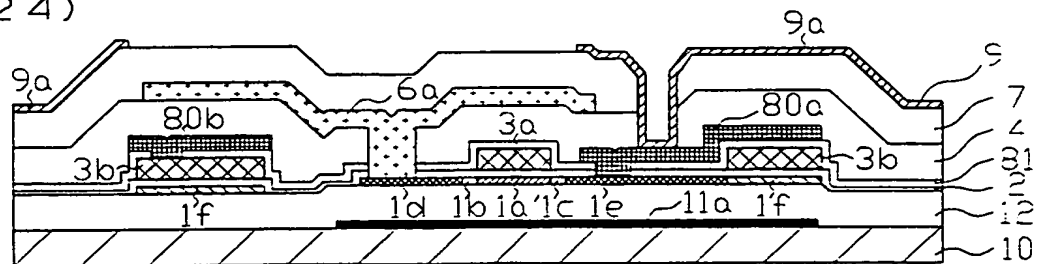
(22)



(23)



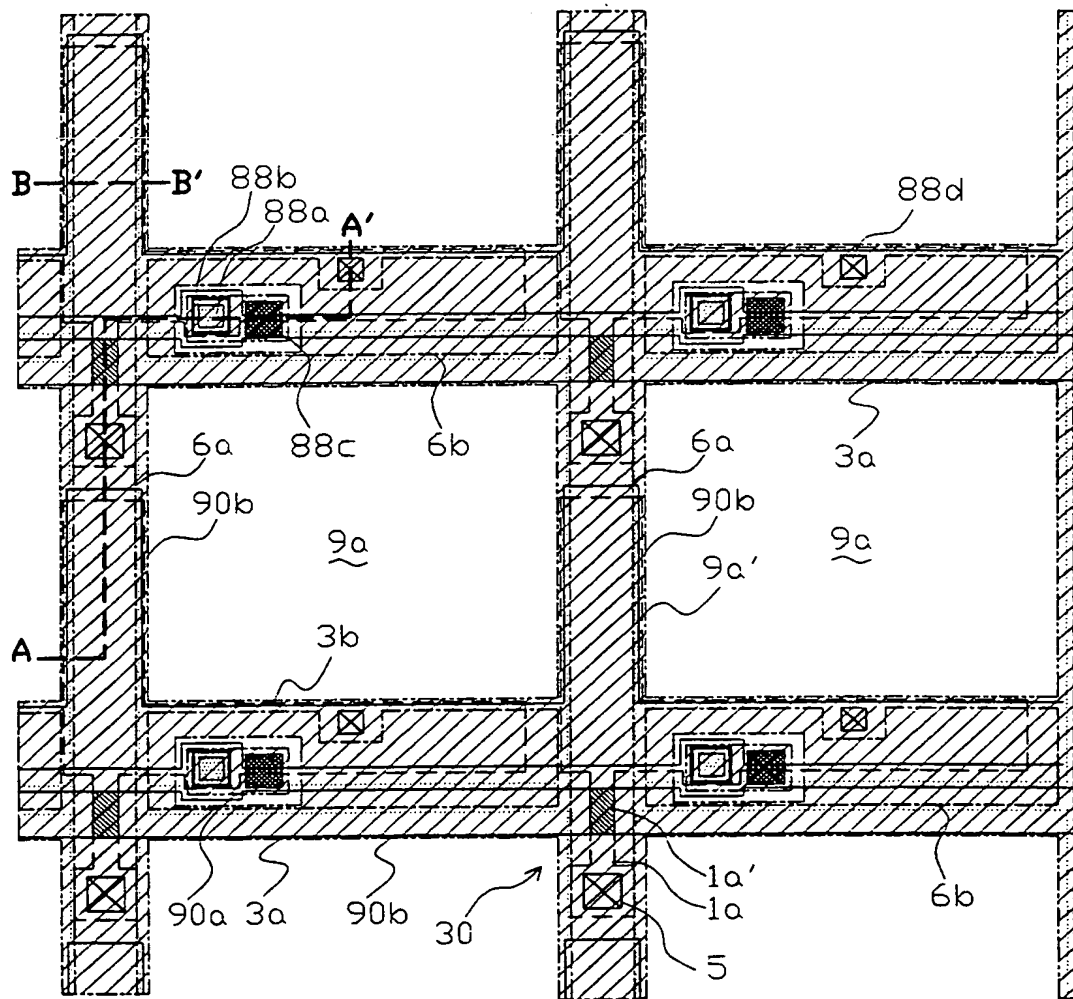
(24)



THIS PAGE BLANK (USPTO)

【図9】

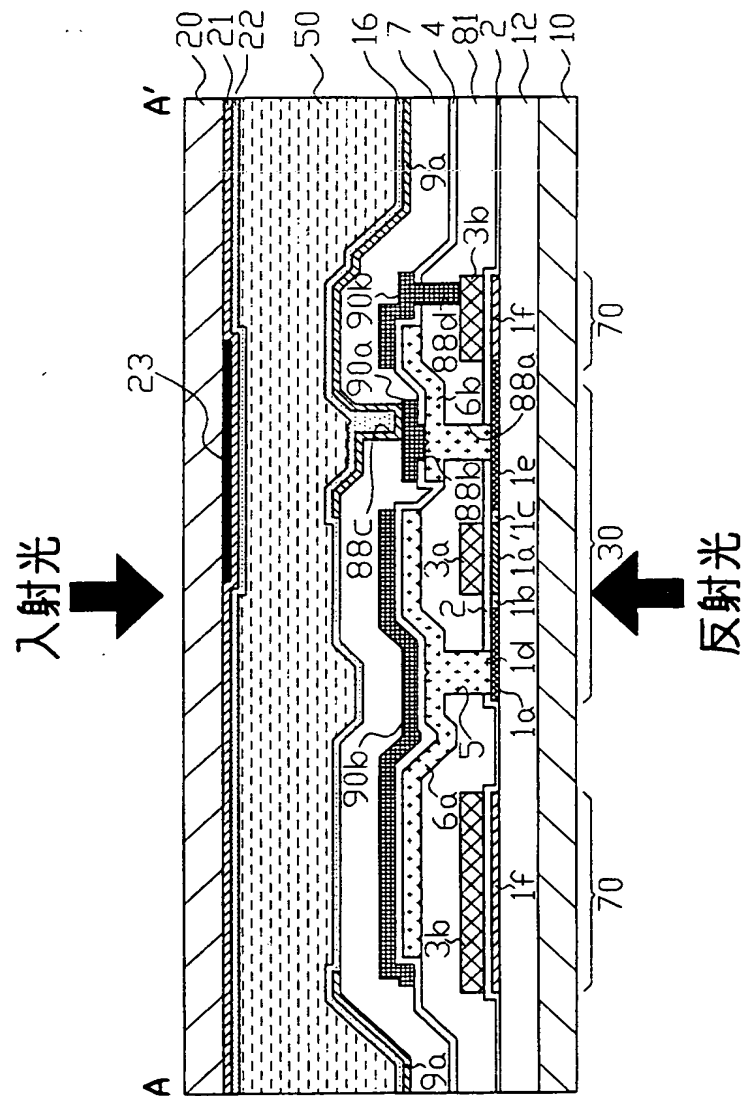
9 / 19



THIS PAGE BLANK (USPTO)

【図 10】

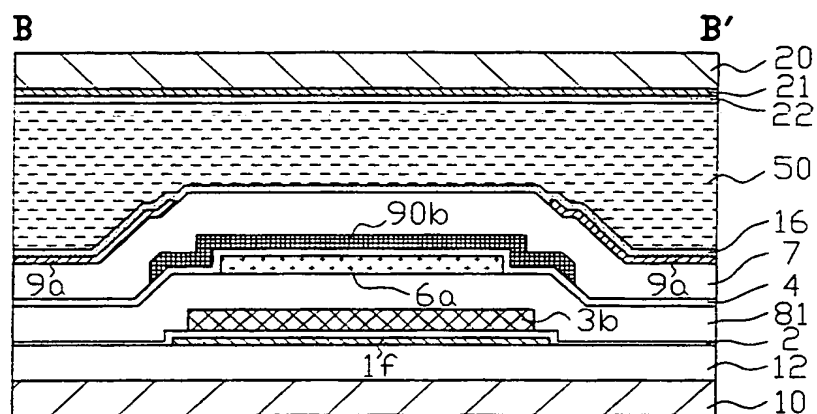
10 / 19



THIS PAGE BLANK (USPTO)

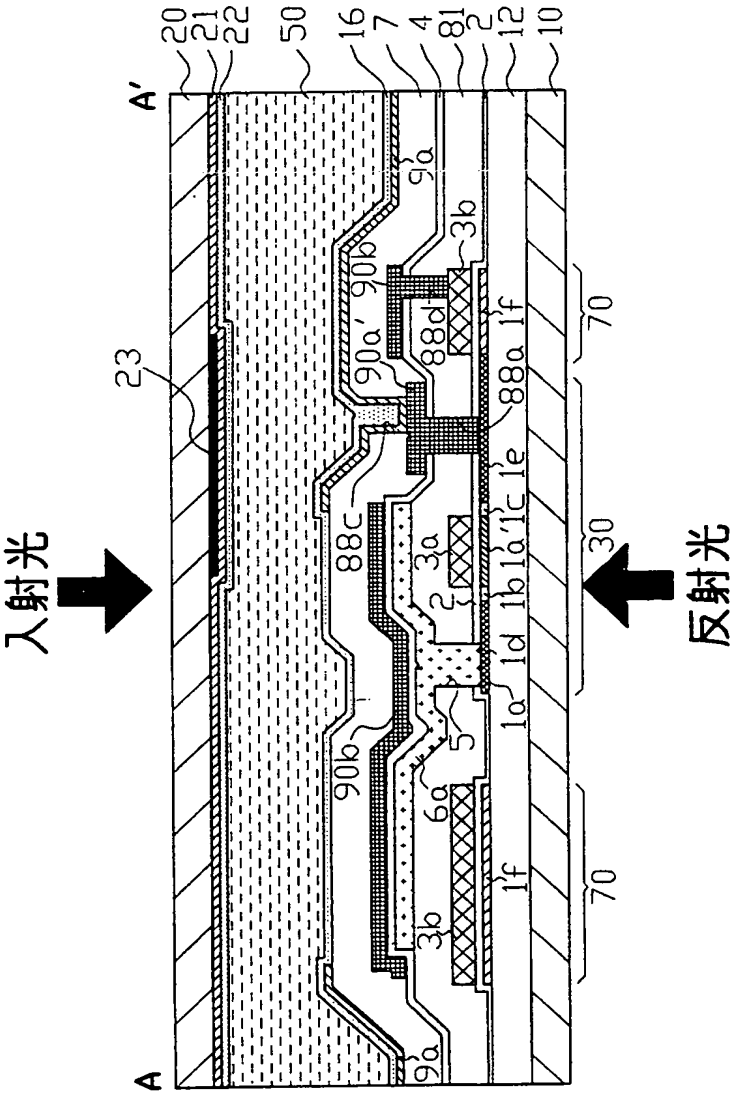
【図 11】

11 / 19



THIS PAGE BLANK (USTO)

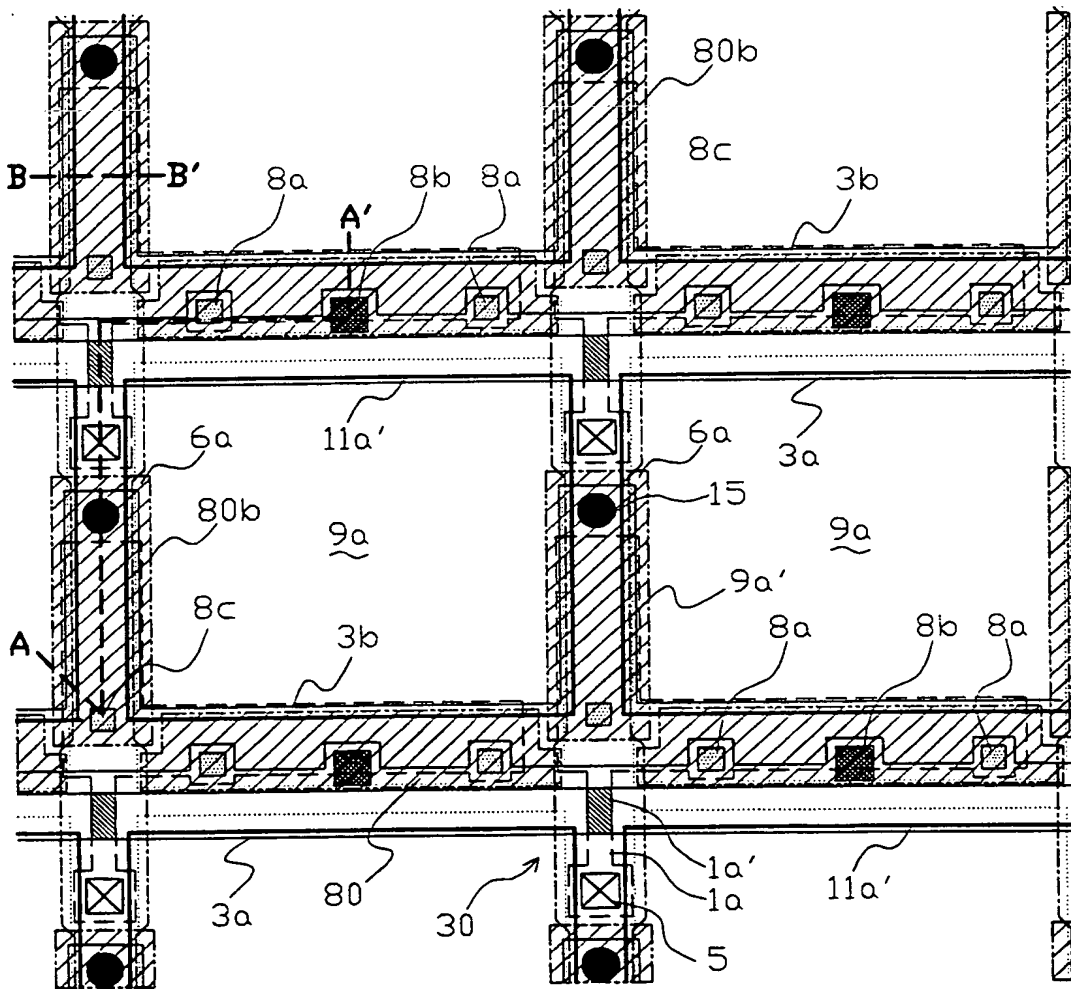
【図 12】



THIS PAGE BLANK (USPTO)

【図 13】

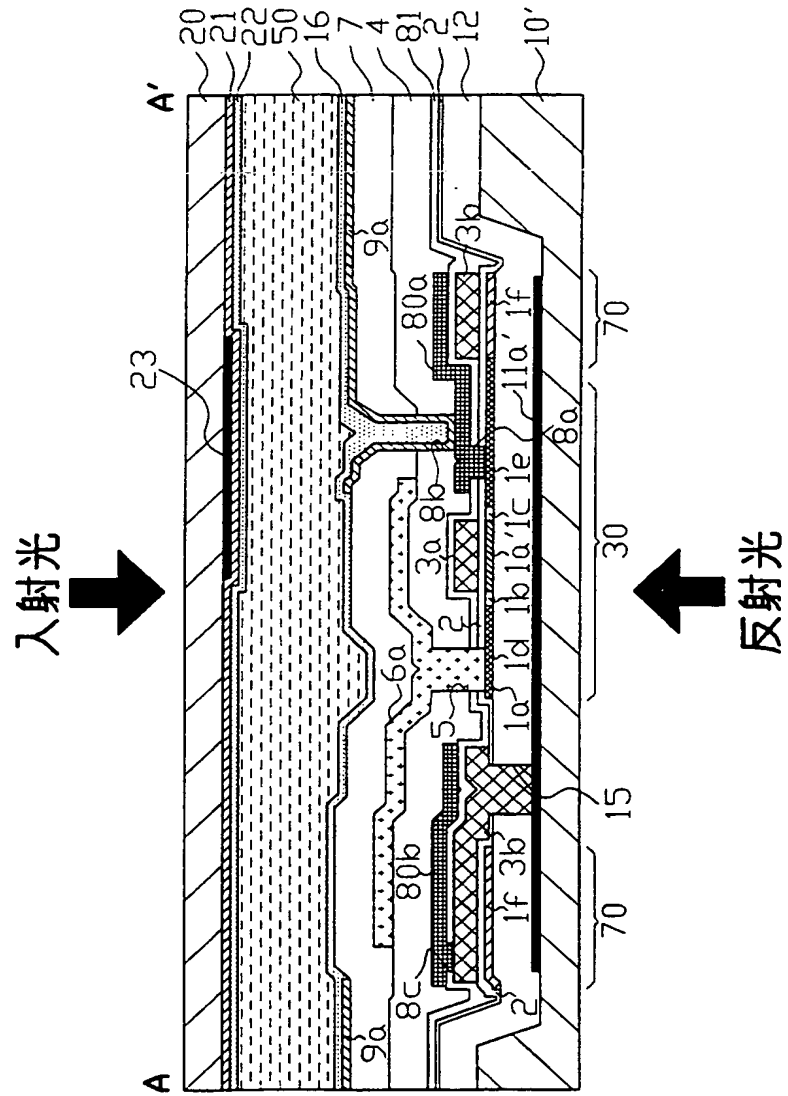
13/19



THIS PAGE BLANK (USPTO)

【図 14】

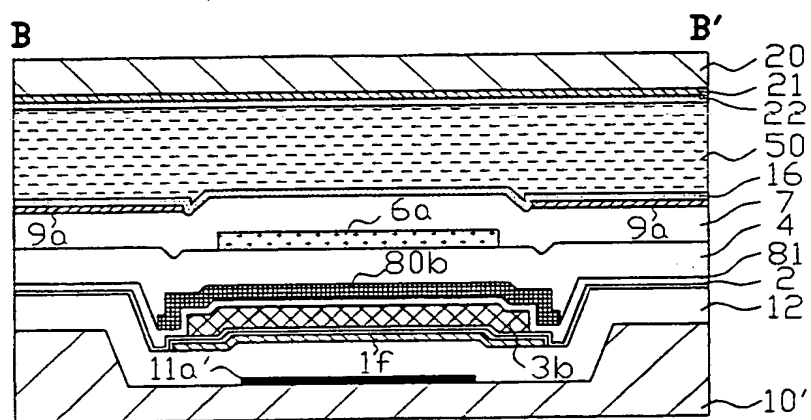
14 / 19



THIS PAGE BLANK (USPTO)

【図 15】

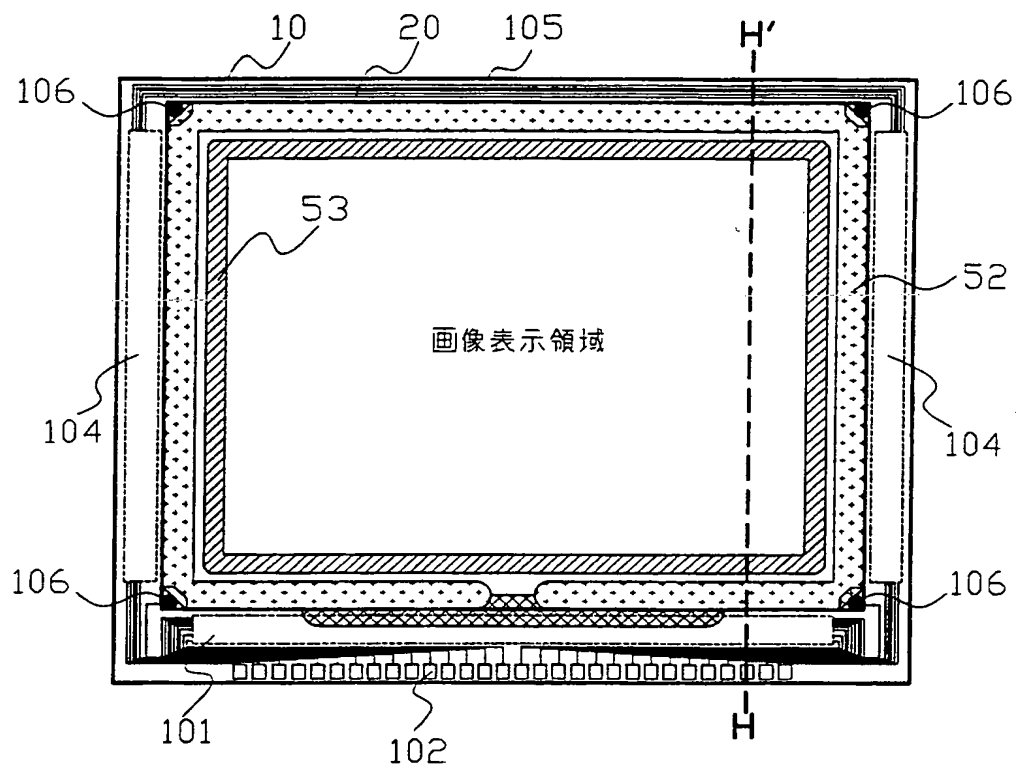
15 / 19



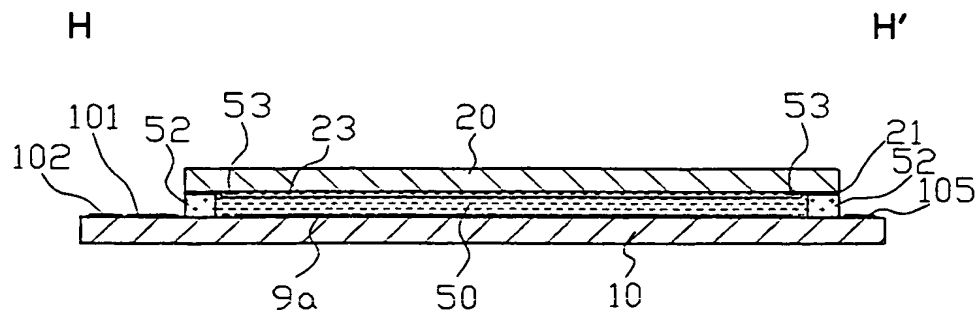
THIS PAGE BLANK (USPTO)

【図 16】

16 / 19



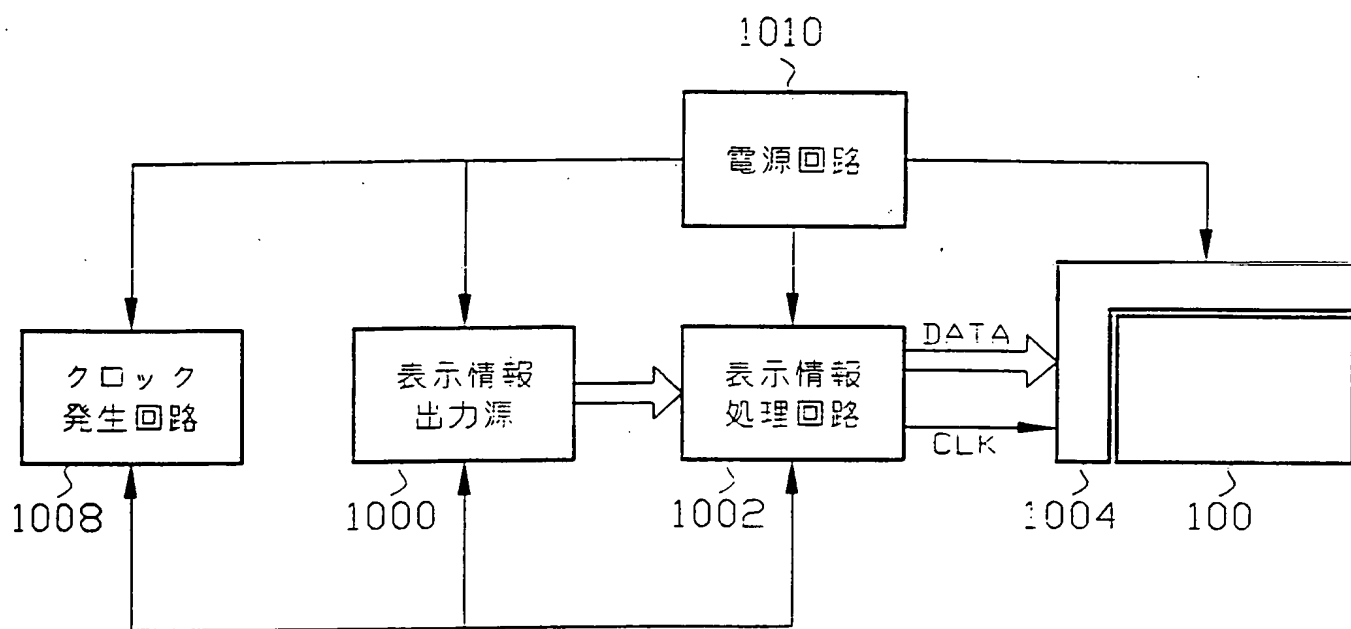
【図 17】



THIS PAGE BLANK (USPTO)

【図18】

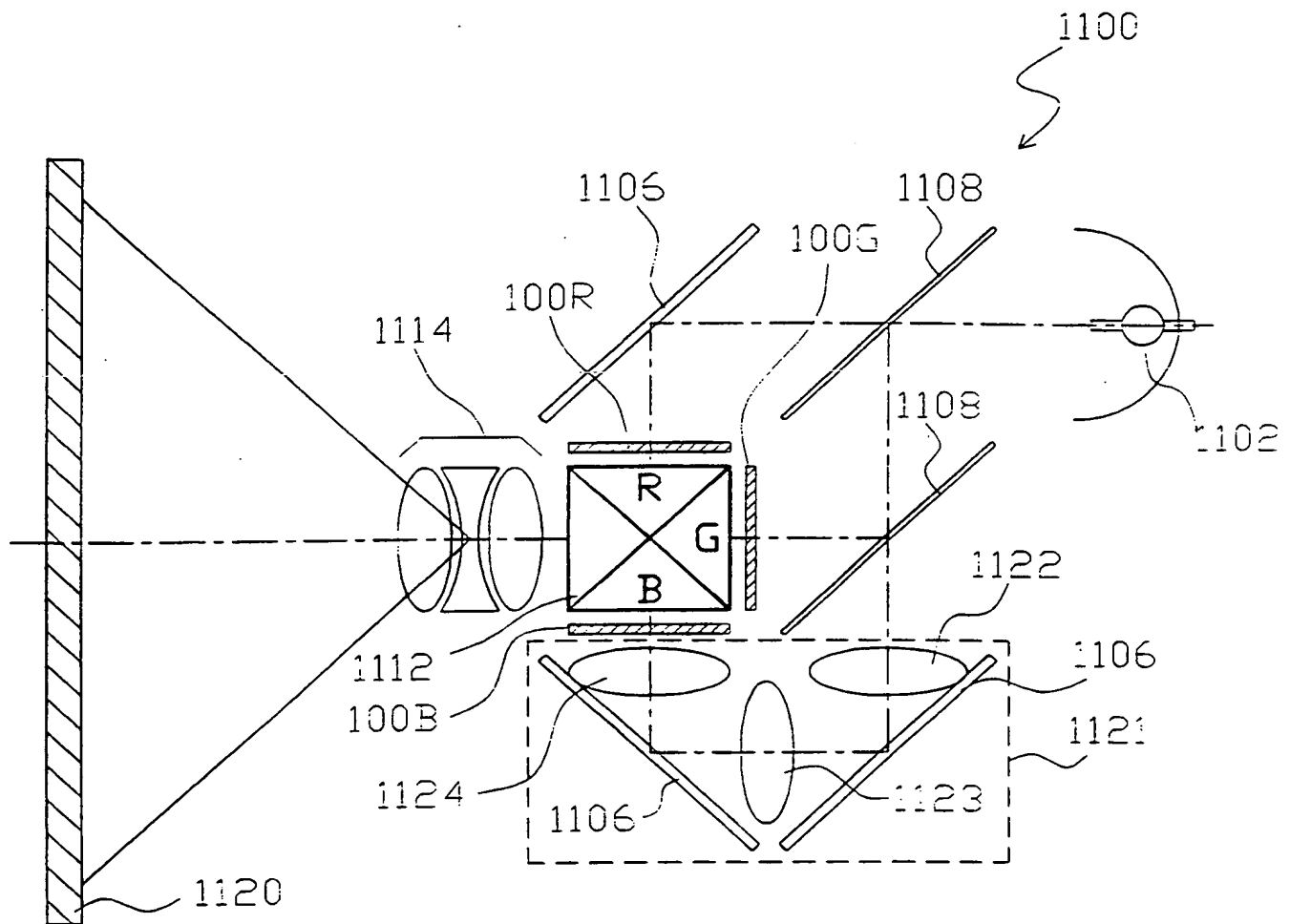
17/19



THIS PAGE BLANK (USPTO)

【图19】

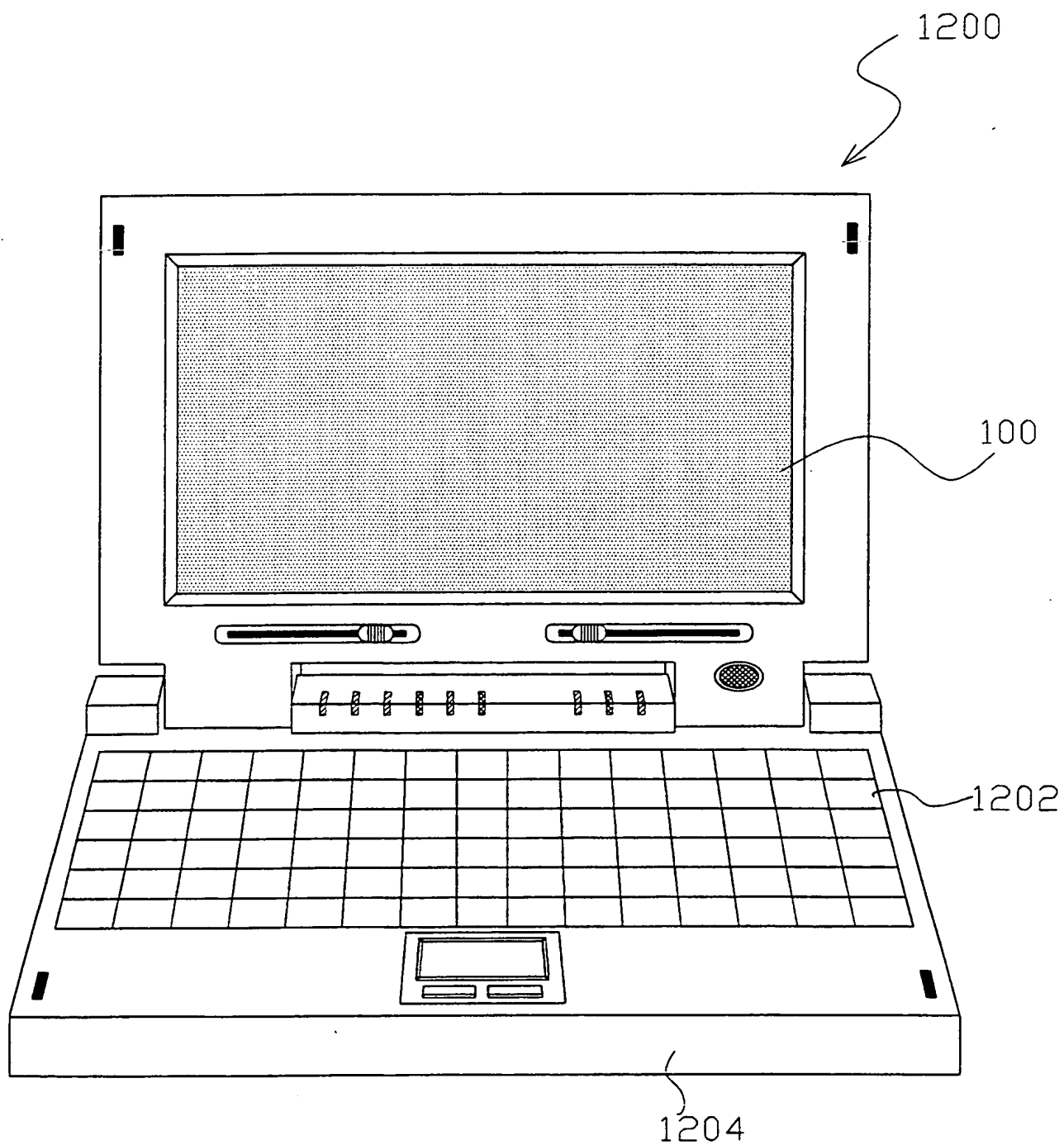
18 / 19



THIS PAGE BLANK (USPTO)

【図20】

19/19



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/07382

A. CLASSIFICATION OF SUBJECT MATTER
Int. C17 G02F1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. C17 G02F1/136

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996
Kokai Jitsuyo Shinan Koho 1971-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 5-257164, A (Sharp Corporation), 08 October, 1993 (08.10.93) (Family: none)	1-30
A	US, 5784132, A (Sony Corporation), 21 July, 1998 (21.07.98) & JP, 8-122768, A & EP, 708355, A2	1-30

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
07 March, 2000 (07.03.00)

Date of mailing of the international search report
21 March, 2000 (21.03.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

国際調査報告

国際出願番号 PCT/JP99/07382

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C1' G02F1/1368

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C1' G02F1/136

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP、5-257164、A (シャープ株式会社) 8. 10月. 1993 (08. 10. 93) (ファミリーなし)	1-30
A	US、5784132、A (ソニー株式会社) 21. 7月. 1998 (21. 07. 98) & JP、8-122768、A&EP、708355、A2	1-30

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07. 03. 00

国際調査報告の発送日

21.03.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

藤岡 善行

2X

9225

電話番号 03-3581-1101 内線 3295

THIS PAGE BLANK (USPTO)